

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **Naoya SASHIDA et al.**

Serial Number: **Not Yet Assigned**

**Customer No.: 38834**

Filed: **October 29, 2003**

For: **MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

October 29, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

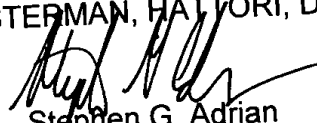
**Japanese Appln. No. 2002-316894, filed on October 30, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

  
Stephen G. Adrian  
Reg. No. 32,878

Atty. Docket No.: 032061  
Suite 700  
1250 Connecticut Avenue, N.W.  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/yap

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月30日

出 願 番 号

Application Number:

特願2002-316894

[ ST.10/C ]:

[ JP 2002-316894 ]

出 願 人

Applicant(s):

富士通株式会社

2003年 5月 9日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3034257

【書類名】 特許願

【整理番号】 0241481

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108  
C23C 28/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 佐次田 直也

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 松浦 克好

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 堀井 義正

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 倉澤 正樹

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 高井 一章

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091672

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】半導体基板の上方に絶縁膜を形成する工程と、  
水素と窒素が結合した分子構造を有するガスのプラズマを励起して前記絶縁膜  
に照射する工程と、

前記絶縁膜の上に自己配向性を有する物質からなる自己配向層を形成する工程  
と、

前記自己配向層の上に自己配向性を有する導電物質からなる第 1 の導電膜を形  
成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 2】前記ガスはアンモニアガスであることを特徴とする請求項 1 に  
記載の半導体装置の製造方法。

【請求項 3】前記プラズマを前記絶縁膜に照射した後に、前記絶縁膜を真空  
雰囲気にした状態を維持しつつ、前記自己配向層が前記絶縁膜上に形成される  
ことを特徴とする請求項 1 又は請求項 2 に記載の半導体装置の製造方法。

【請求項 4】前記プラズマを前記絶縁膜に照射した後であって前記自己配向  
膜の形成前に、前記絶縁膜の表面を脱水することを特徴とする請求項 1 乃至請求  
項 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】前記第 1 の導電膜と前記自己配向層をパターニングして導電パ  
ターンを形成する工程をさらに有することを特徴とする請求項 1 乃至請求項 4 の  
いずれかに記載の半導体装置の製造方法。

【請求項 6】前記プラズマを前記絶縁膜に照射する前に、前記絶縁膜のうち  
前記導電パターンが形成される領域の一部の下にホールを形成し、さらに該ホー  
ル内に導電性プラグを形成する工程を有することを特徴とする請求項 5 に記載の  
半導体装置の製造方法。

【請求項 7】前記導電パターンを形成する領域の一部には、前記絶縁膜から  
露出する島状の酸素バリアメタルが形成され、前記酸素バリアメタルの下には導  
電プラグが形成されていることを特徴とする請求項 5 に記載の半導体装置の製造

方法。

【請求項 8】前記第 1 の導電膜の上に強誘電体膜を形成する工程と、  
前記強誘電体膜の上に第 2 の導電膜を形成する工程と、  
前記第 2 の導電膜をパターニングしてキャパシタ上部電極を形成する工程と、  
前記強誘電体膜をパターニングして少なくとも前記キャパシタ上部電極の下に残す工程と、

前記第 1 の導電膜及び前記自己配向層をパターニングすることにより少なくとも前記キャパシタ上部電極の下方にキャパシタ下部電極を形成する工程とを有することを特徴とする請求項 1 乃至請求項 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】前記強誘電体膜は、基板温度を 6 0 0 ~ 6 5 0 °C に設定して M O C V D 法により形成されることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 0】前記強誘電体膜を構成するグレインの 9 0 % 以上が ( 1 1 1 ) 配向を有することを特徴とする請求項 9 に記載の半導体装置の製造方法

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、より詳しくは、キャパシタを有する半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

電源を切っても情報を記憶することができる不揮発性メモリとして、フラッシュメモリや強誘電体メモリ ( F e R A M ) が知られている。

【 0 0 0 3 】

フラッシュメモリは、絶縁ゲート型電界効果トランジスタ ( I G F E T ) のゲート絶縁膜中に埋め込んだフローティングゲートを有し、記憶情報を表す電荷をフローティングゲートに蓄積することによって情報を記憶する。情報の書込、消去にはゲート絶縁膜を通過するトンネル電流を流す必要があり、比較的高い電圧

を必要とする。

【0004】

FeRAMは、強誘電体のヒステリシス特性を利用して情報を記憶する強誘電体キャパシタを有する。強誘電体キャパシタにおいて上部電極と下部電極の間に形成される強誘電体膜は、上部電極及び下部電極の間に印加する電圧に応じて分極を生じ、印加電圧を取り去っても分極を保持する自発分極を有する。

【0005】

印加電圧の極性を反転すれば、自発分極の極性も反転する。この自発分極の極性、大きさを検出すれば情報を読み出すことができる。FeRAMは、フラッシュメモリに比べて低電圧で動作し、省電力で高速の書込ができるという利点がある。

【0006】

FeRAMのメモリセルに使用されるキャパシタの構造として、例えば下記の特許文献1には、Si基板上アモルファスSiO<sub>2</sub>上に直接もしくはTi、Ta等のバッファ層を介してPt薄膜電極、PZT強誘電体膜、上部電極を順に形成した構造が記載されている。

【0007】

従来、絶縁膜上にTiなどの自己配向性のある膜を成膜する場合、配向性を上げる工夫は、Tiの成膜時にガス種を変える方法が一般的である。

【0008】

例えば、下記の特許文献1には、Tiのスパッタ中にH<sub>2</sub>Oを添加する方法が記載されている。非特許文献1では、Tiのスパッタ中にH<sub>2</sub>Oを添加して、Ti膜の(002)の配向強度を上げることができる実験結果が示されている。

【0009】

【特許文献1】

特開平9-53188号公報(第3頁、図1)

【非特許文献1】

Jpn.J.Appl.Phys.Vol.36(1997) pp.L154-L157 part 2, No. 2A, 1 February

ry 1997

【 0 0 1 0 】

【発明が解決しようとする課題】

しかし、そのようなTi膜の形成方法によれば、スパッタ中のTi膜の周囲の雰囲気内に $H_2O$  が必ず存在するため、ピュアな膜質が得られにくいと考えられる。

【 0 0 1 1 】

非特許文献1の中では、初期成膜だけ $H_2O$  を導入し、その後の成膜では導入せずにTi膜を形成する方法も検討されている。そうすれば、Ti膜の後半の膜質を良質にすることが可能であると考えられている。

【 0 0 1 2 】

しかし、 $H_2O$  の導入を断つてもしばらくは $H_2O$  がTi成膜用のチャンバ内部に残るために、Ti膜上部への $H_2O$  の混入を完全に避けることは不可能である。

【 0 0 1 3 】

また、Tiのターゲットにも反応性ガス( $H_2O$ )が付着するので、影響が長時間残ると考えられる。そのターゲットに付着する反応性ガス( $H_2O$ )により、ターゲット表面の改質がおこり、Tiが形成されるウェハの処理枚数が増えたときに安定して同じ膜質を供給できるか不安である。

【 0 0 1 4 】

それ以外の懸念点としては、チャンバ内に $H_2O$  を入れると、ダークスペースシールド部分が絶縁物(Ti 酸化物)で覆われて異常放電の原因になり、チャンバ内で安定したプラズマを維持できなくなる可能性がある。

【 0 0 1 5 】

また、非特許文献1の中では、 $SiO_2$ 表面をO-H 結合で終端させているが、O-H 結合自体が不安定であり、Si-O基10個に対してSi-OH 基1個の存在が表面で安定であるため、絶縁膜の表面で水素終端の密度を上げにくい。なお、Ti膜は、 $H_2O$  により酸化される。

【 0 0 1 6 】

本発明の目的は、キャパシタ下部電極を構成する導電膜の膜質を改善して、キャパシタ下部電極の上に形成される誘電体膜の特性を良好にすることができる半導体装置の製造方法を提供することにある。



【0 0 1 7】

【課題を解決するための手段】

上記した課題は、半導体基板の上方に絶縁膜を形成する工程と、水素と窒素が結合した分子構造を有するガスのプラズマを励起して前記絶縁膜に照射する工程と、前記絶縁膜の上に自己配向性を有する物質からなる自己配向層を形成する工程と、前記自己配向層の上に自己配向性を有する導電物質からなる第1の導電膜を形成する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

【0 0 1 8】

本発明によれば、水素と窒素が結合した分子構造を有するガス、例えば $\text{NH}_3$  ガスのプラズマを絶縁膜上に照射し、その後に絶縁膜上に自己配向性を有する自己配向膜を形成すると、自己配向膜はそれ自信で配向性が良くなって成長し、さらに、自己配向膜は、その上に形成される導電膜や強誘電体材料のような機能膜に働きかけてその膜を良好な結晶とする。

【0 0 1 9】

【発明の実施の形態】

以下に、本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態)

図1～図10は、本発明の第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【0 0 2 0】

図1に示す構造を形成するまでの工程について説明する。

【0 0 2 1】

まず、図1に示すように、n型又はp型のシリコン（半導体）基板1表面に素子分離絶縁層2をLOCOS(Local Oxidation of Silicon)法により形成する。素子分離絶縁層2としては、LOCOS法により形成される構造の他に、STI(Shallow Trench Isolation)構造を採用してもよい。

【0 0 2 2】

そのような素子分離絶縁膜2を形成した後に、シリコン基板1のメモリセル領

域 A と周辺回路領域 B における所定の活性領域（トランジスタ形成領域）に p 型不純物、n 型不純物を選択的に導入して、p ウェル 3 a 及び n ウェル 3 b を形成する。なお、周辺回路領域 B では CMOS を形成ために n ウェル 3 b のみならず p ウェル（不図示）も形成される。

## 【 0 0 2 3 】

その後、シリコン基板 1 の活性領域表面を熱酸化して、ゲート絶縁膜 4 となるシリコン酸化膜を形成する。

## 【 0 0 2 4 】

次に、シリコン基板 1 の上側全面に非結晶質又は多結晶のシリコン膜を形成し、ついで不純物イオン注入によりシリコン膜を低抵抗化する。その後、シリコン膜をフォトリソグラフィ法により所定の形状にパターンニングして、ゲート電極 5 a、5 b、5 c 及び配線 5 d を形成する。

## 【 0 0 2 5 】

メモリセル領域 A では、1 つの p ウェル 3 a 上には 2 つのゲート電極 5 a、5 b がほぼ平行に間隔をおいて配置され、それらのゲート電極 5 a、5 b はワード線 WL の一部を形成している。

## 【 0 0 2 6 】

次に、メモリセル領域 A において、ゲート電極 5 a、5 b の両側の p ウェル 3 a 内に n 型不純物をイオン注入して、n チャンネル MOS トランジスタのソース／ドレインとなる 3 つの n 型不純物拡散領域 6 a を形成する。これと同時に、周辺回路領域 B の p ウェル（不図示）にも n 型不純物拡散領域を形成する。

## 【 0 0 2 7 】

続いて、周辺回路領域 B において、n ウェル 3 b のうちゲート電極 5 c の両側に p 型不純物をイオン注入して、p チャンネル MOS トランジスタのソース／ドレインとなる p 型不純物拡散領域 6 b を形成する。

## 【 0 0 2 8 】

続いて、シリコン基板 1 の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極 5 a ～ 5 c の両側部分にのみ側壁絶縁膜 7 として残す。その絶縁膜として、たとえば CVD 法により酸化シリコン ( $\text{SiO}_2$ ) を形成する。

## 【0029】

さらに、ゲート電極5a～5cと側壁絶縁膜7をマスクに使用して、pウェル3a内に再びn型不純物イオンを注入することにより、n型不純物拡散領域6aをLDD構造にし、更にnウェル3b内に再びp型不純物イオンを注入することによりp型不純物拡散領域6bもLDD構造とする。

## 【0030】

なお、n型不純物とp型不純物の打ち分けは、レジストパターンを使用して行われる。

## 【0031】

以上のように、メモリセル領域Aでは、pウェル3aとゲート電極5a、5bとその両側のn型不純物拡散領域6a等によってn型MOSFETが構成され、また、周辺回路領域Bでは、nウェル3bとゲート電極5cとその両側のp型不純物拡散領域6b等によってp型MOSFETが構成される。

## 【0032】

次に、全面に高融点金属膜、例えば、Ti、Coの膜を形成した後に、この高融点金属膜を加熱してn型拡散領域6a、p型不純物拡散領域6bの表面にそれぞれ高融点金属シリサイド層8a、8bを形成する。その後、ウェットエッチにより未反応の高融点金属膜を除去する。

## 【0033】

次に、プラズマCVD法により、シリコン基板1の全面にカバー膜9として酸化シリコン(SiON)膜を約200nmの厚さに形成する。さらに、TEOSガスを用いるプラズマCVD法により、第1の層間絶縁膜10として二酸化シリコン(SiO<sub>2</sub>)をカバー膜9上に約1.0μmの厚さに成長する。なお、TEOSガスを用いるプラズマCVD法により形成される絶縁膜を、以下に、PE-TEOSともいう。

## 【0034】

続いて、第1の層間絶縁膜10上面を化学的機械研磨(CMP; Chemical Mechanical Polishing)法により研磨して平坦化する。

## 【0035】

次に、図 2 (a) に示す構造を形成するまでの工程を説明する。

#### 【0036】

まず、アンモニア ( $\text{NH}_3$ ) ガスのプラズマにより、平坦化された第 1 の層間絶縁膜 10 表面を改質する。なお、 $\text{NH}_3$  ガスのプラズマにより絶縁膜の表面を改質する処理を、以下に  $\text{NH}_3$  プラズマ処理ともいう。

#### 【0037】

この工程における  $\text{NH}_3$  プラズマ処理の条件として、例えば、チャンバ内に導入される  $\text{NH}_3$  のガス流量を 350 sccm、チャンバ内の圧力を 1 Torr、基板温度を 400℃、基板に供給される 13.56 MHz の高周波電源のパワーを 100 W、プラズマ発生領域に供給される 350 kHz の高周波電源のパワーを 55 W、電極・第 1 の層間絶縁膜間の距離を 350 mils、プラズマ照射時間を 60 秒に設定する。

#### 【0038】

その後、図 2 (b) に示すように、第 1 の層間絶縁膜 10 の上に自己配向性を有する物質からなる中間層 (自己配向層) 11 を形成する。中間層 11 は例えば次のような工程により形成される。

#### 【0039】

まず、DC スパッタ法によって厚さ 20 nm のチタン (Ti) 膜を第 1 の層間絶縁膜 10 上に形成し、続いて、RTA (rapid thermal annealing) により Ti 膜を酸化して酸化チタン ( $\text{TiO}_x$ ) 膜を形成し、この  $\text{TiO}_x$  膜を中間層 11 とする。

#### 【0040】

Ti 膜の酸化条件として、例えば、基板温度を 700℃、酸化時間を 60 秒間、酸化雰囲気中の酸素 ( $\text{O}_2$ ) とアルゴン (Ar) をそれぞれ 1%、99% に設定する。なお、Ti 膜は酸化されずにそのままの状態でも中間層 11 として使用されてもよい。

#### 【0041】

この中間層 11 は、この後に形成される第 1 の導電膜の配向強度を高める要素と、さらに第 1 の導電膜の上に成膜される PZT 系強誘電体膜中の Pb の下への拡散をブロックする働きがある。また、中間層 11 は、次に形成される第 1 の導電

膜 1 2 と第 1 の層間絶縁膜 1 0 との密着性を向上する働きもある。

【 0 0 4 2 】

中間層 1 1 を構成する自己配向性を有する物質としては、Ti の他に、アルミニウム (Al)、シリコン (Si)、銅 (Cu)、タンタル (Ta)、窒化タンタル (Ta<sub>N</sub>)、イリジウム (Ir)、酸化イリジウム (IrO<sub>x</sub>)、プラチナ (Pt) などがある。以下の実施形態においても、中間層はこれらのいずれかの材料から選択される。次に、図 3 (a) に示す構造を形成するまでの工程を説明する。

【 0 0 4 3 】

まず、中間層 1 1 上に、第 1 の導電膜 1 2 として Pt 膜をスパッタ法で 1 7 5 n m の厚さに成膜する。Pt 膜の成膜条件として、Ar ガス圧を 0. 6 Pa、DC パワーを 1 kW、基板温度を 1 0 0 °C に設定する。ターゲットはプラチナである。

【 0 0 4 4 】

なお、第 1 の導電膜 1 2 として、イリジウム、ルテニウム、酸化ルテニウム、酸化ルテニウムストロンチウム (SrRuO<sub>3</sub>) 等の膜を形成しても良い。本実施形態及び以下の実施形態において、第 1 の導電膜は自己配合性を有する物質から構成する。

【 0 0 4 5 】

次に、スパッタリング法により、P Z T ((Pb(Zr<sub>1-x</sub>Ti<sub>x</sub>)O<sub>3</sub>) にランタン (La) が添加された P L Z T (lead lanthanum zirconate titanate; (Pb<sub>1-3x/2</sub>La<sub>x</sub>)(Zr<sub>1-y</sub>Ti<sub>y</sub>)O<sub>3</sub>)) を第 1 の導電膜 1 2 の上に 1 0 0 ~ 3 0 0 n m、例えば 2 4 0 n m の厚さに形成し、これを強誘電体膜 1 3 として使用する。なお、P L Z T 膜にはカルシウム (Ca) とストロンチウム (Sr) を添加することもある。

【 0 0 4 6 】

続いて、酸素雰囲気中にシリコン基板 1 を置き、R T A によって P L Z T 膜を結晶化する。その結晶化の条件として、例えば、基板温度を 5 8 5 °C、処理時間を 2 0 秒間、昇温速度を 1 2 5 °C/sec に設定し、酸素雰囲気に導入される O<sub>2</sub> と Ar の割合を 2. 5 % と 9 7. 5 % とする。

【 0 0 4 7 】

強誘電体膜 1 3 の形成方法としては、上記したスパッタ法の他にスピノン法

、ゾルゲル法、MOD (Metal Organic De position) 法、MOCVD 法がある。  
 また、強誘電体膜 1 3 の材料としては PLZT の他に、PZT、 $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$  (但し、 $0 < x \leq 1$ )、 $\text{Bi}_4\text{Ti}_2\text{O}_{12}$  などがある。なお、DRAM を形成する場合には、上記の強誘電体材料に代えて  $(\text{BaSr})\text{TiO}_3$  (BST)、チタン酸ストロンチウム (STO) 等の高誘電体材料を使用すればよい。

## 【 0 0 4 8 】

次に、図 3 (b) に示すように、強誘電体膜 1 3 上に第 2 の導電膜 1 4 を形成する。第 2 の導電膜 1 4 は、2 ステップによって形成される。

## 【 0 0 4 9 】

まず、強誘電体膜 1 3 上に、第 2 の導電膜 1 4 の下側導電層 1 4 a として酸化イリジウム ( $\text{IrO}_x$ ) 膜をスパッタリング法により 20 ~ 75 nm、例えば 50 nm の厚さに形成する。その後、酸素雰囲気内で RTA により強誘電体膜 1 3 の結晶化と下側導電層 1 4 a へのアニール処理とを行う。RTA の条件として、基板温度を 725℃、処理時間を 1 分間とするとともに、酸素雰囲気に導入される  $\text{O}_2$  と Ar の割合をそれぞれ 1 % と 99 % とする。

## 【 0 0 5 0 】

続いて、第 2 の導電膜 1 4 の上側導電層 1 4 b として酸化イリジウム ( $\text{IrO}_x$ ) 膜を下側導電層 1 4 a 上にスパッタリング法により 100 ~ 300 nm、例えば 200 nm の厚さに形成する。

## 【 0 0 5 1 】

なお、第 2 の導電膜 1 4 の上側導電層 1 4 b として、プラチナ膜又は酸化ルテニウムストロンチウム (SRO) 膜をスパッタ法により形成してもよい。

## 【 0 0 5 2 】

次に、図 4 (a) に示す構造を形成するまでの工程を説明する。

## 【 0 0 5 3 】

まず、上部電極平面形状のレジストパターン (不図示) を第 2 の導電膜 1 4 上に形成した後に、そのレジストパターンをマスクに使用して第 2 の導電膜 1 4 をエッチングし、残された第 2 の導電膜 1 4 をキャパシタの上部電極 1 4 c として使用する。

## 【0054】

そして、そのレジストパターンを除去した後に、650℃、60分間の条件で、強誘電体膜13を酸素雰囲気中でアニールする。このアニールは、第2の導電膜14の上側導電層14bのスパッタリング時及び第2の導電膜14のエッチング時に強誘電体膜13に入ったダメージを元に回復させるために行われる。

## 【0055】

続いて、メモリセル領域Aにおいてキャパシタ上部電極14c及びその周辺にレジストパターン（不図示）を形成した状態で、強誘電体13をエッチングし、これにより上部電極14cの下に残った強誘電体膜13をキャパシタの誘電体膜13aとして使用する。

## 【0056】

そして、レジストパターン（不図示）を除去した状態で強誘電体膜13を窒素酸素雰囲気中でアニールする。例えばこのアニールは、強誘電体膜13及びその下の膜に吸収された水分等を脱ガスするために行われる。

## 【0057】

次に、図4(b)に示すように、上部電極14c、誘電体膜13a及び第1の導電膜12の上に、第1のエンキャップ層15として $Al_2O_3$ 膜をスパッタリング法により50nmの厚さに常温下で形成する。この第1のエンキャップ層15は、還元され易い誘電体膜12aを水素から保護して、水素がその内部に入ることをブロックするために形成される。

## 【0058】

なお、第1のエンキャップ層15として、PZT膜、PLZT膜または酸化チタンを成膜してもよい。エンキャップ層としての $Al_2O_3$ 、PZT膜、PLZT膜または酸化チタンは、MOCVDにて成膜しても良く、またスパッタリングとMOCVDといった2つの方法により形成した積層膜にしても良い。第1のエンキャップ層15が積層膜の場合は、キャパシタの劣化を考慮して、スパッタリングで $Al_2O_3$ を先に形成することが好ましい。

## 【0059】

その後に、酸素雰囲気中で550℃、60分間の条件で、第1のエンキャップ

層 15 を熱処理してその膜質を改善する。

#### 【0060】

次に、第1のエンキャップ層 15 の上にレジスト（不図示）を塗布し、これを露光、現像して上部電極 14 c 及び誘電体膜 13 a の上にとその周辺に下部電極平面形状に残す。そして、レジストをマスクに使用して、第1のエンキャップ層 15、第1の導電膜 12 及び中間層 11 をエッチングし、これにより残った第1の導電膜 12 をキャパシタの下部電極 11 a として使用する。なお、中間層 11 も下部電極 11 a を構成する。エンキャップ層 15、第1の導電膜 12 及び中間層 11 のエッチングは、塩素、臭素などのハロゲン元素を用いたドライエッチングにより行われる。

#### 【0061】

レジストを除去した後に、上部電極 14 c、誘電体膜 13 a 等を酸素雰囲気中で 350℃、30 分間の条件でアニールする。これは、後工程で形成される膜のはがれ防止を目的としている。

#### 【0062】

これにより、図 5 (a) に示すように、第1の層間絶縁膜 10 の上には、下部電極 11 a（第1の導電膜 12 / 中間層 11）、誘電体膜 13 a、上部電極 14 c（第2の導電膜）からなるキャパシタ Q が形成されることになる。

#### 【0063】

次に、図 5 (b) に示す構造を形成するまでの工程を説明する。

#### 【0064】

まず、第2のエンキャップ層 15 a として  $\text{Al}_2\text{O}_3$  膜をスパッタリング法により 20 nm の厚さに成膜して、キャパシタ Q 及び第1の層間絶縁膜 10 を覆う。第2のエンキャップ層 15 a として、第1のエンキャップ層 15 で採用される他の材料を用いてもよい。続いて、酸素雰囲気中で 650℃、60 分間の条件で、強誘電体膜 13 a をアニールしてダメージから回復させる。

#### 【0065】

続いて、エンキャップ層 15 a の上に、第2の層間絶縁膜 16 として膜厚 1500 nm の  $\text{SiO}_2$  膜を CVD 法により成膜する。第2の層間絶縁膜 16 の成長は、



成膜ガスとしてシラン ( $\text{SiH}_4$ ) やポリシラン化合物 ( $\text{Si}_2\text{F}_6$ ,  $\text{Si}_3\text{F}_8$ ,  $\text{Si}_2\text{F}_3\text{Cl}$  等) および  $\text{SiF}_4$  を用いても良いし、TEOS を用いても良い。成膜方法は、プラズマ励起 (ECR 法: Electron cyclotron Resonance、ICP 法: Inductively Coupled Plasma、HDP : High Density Plasma、EMS : Electron Magneto-Sonic) や、熱励起、レーザー光による励起方式でも良い。

## 【 0 0 6 6 】

その後、図 6 (a) に示すように、第 2 の層間絶縁膜 1 6 上面を CMP 法により平坦化する。第 2 の層間絶縁膜 1 6 の表面の平坦化は、上部電極 1 4 a の上面から 4 0 0 nm の厚さとなるまで行われる。この CMP 法による平坦化の際に使用されるスラリー中の水分や、その後の洗浄時に使用される洗浄液中の水分は、第 2 の層間絶縁膜 1 5 表面に付着したりその内部に吸収される。

## 【 0 0 6 7 】

そこで、真空チャンバ (不図示) 中で温度 3 9 0 °C で第 2 の層間絶縁膜 1 6 を加熱することにより、その表面および内部の水分を外部に放出させる。このような脱水処理の後に、第 2 の層間絶縁膜 1 6 を加熱しながら  $\text{N}_2\text{O}$  プラズマに曝して脱水とともに膜質を改善する。これにより、後工程での加熱と水によるキャパシタの劣化が防止される。そのような脱水処理とプラズマ処理は同じチャンバ (不図示) 内において行ってもよい。そのチャンバ内には、シリコン基板 1 を載せる支持電極とこれに対向する対向電極が配置され、対向電極には高周波電源が接続可能な状態となっている。そして、チャンバ内に  $\text{N}_2\text{O}$  ガスを導入した状態で、対向電極に高周波電源を印加し、電極間に  $\text{N}_2\text{O}$  プラズマを発生させて絶縁膜の  $\text{N}_2\text{O}$  プラズマ処理を行う。その  $\text{N}_2\text{O}$  プラズマ処理によれば、絶縁膜の少なくとも表面には窒素が含まれる。そのような方法は以下の工程において採用されてもよい。脱水処理に続くプラズマ処理の際には  $\text{N}_2\text{O}$  プラズマを使用することが好ましいが、 $\text{NO}$  プラズマ、 $\text{N}_2$  プラズマ等を使用してもよく、このことについては後述する工程でも同様である。なお、脱水処理の基板温度とプラズマ処理の基板温度はほぼ同じとなる。

## 【 0 0 6 8 】

次に、図 6 (b) に示すように、レジストパターン (不図示) を用いるフォトリ

ソグラフィ法により第1の層間絶縁膜10、第2のエンキャップ層15a、第2の層間絶縁膜16及びカバー膜9をエッチングして、メモリセル領域Aの不純物拡散層6aの上にそれぞれコンタクトホール16a～16cを形成すると同時に、周辺回路領域Bの不純物拡散層6bの上にコンタクトホール16d、16eを形成し、また、素子分離絶縁層2上の配線5d上にコンタクトホール16fを形成する。

## 【0069】

第2の層間絶縁膜16、第2のエンキャップ層15a、第1の層間絶縁膜10、カバー膜9は、CF系ガス、例えば $\text{CHF}_3$ に $\text{CF}_4$ 、Arを加えた混合ガスを用いてエッチングされる。

## 【0070】

次に、図7(a)に示すように、第2の層間絶縁膜16の上とコンタクトホール16a～16fの内面を前処理のためにRF（高周波）エッチングを行った後、それらの上にスパッタリング法によりチタン（Ti）膜を20nm、窒化チタン（TiN）膜を50nmを連続で成膜し、これらの膜をグルー層17とする。さらに、フッ化タンゲステングス（ $\text{WF}_6$ ）、アルゴン、水素の混合ガスを使用するCVD法により、グルー層17の上にタンゲステン膜18を形成する。なお、タンゲステン膜18の成長初期にはシラン（ $\text{SiH}_4$ ）ガスも使用する。タンゲステン膜18は、各コンタクトホール16a～16fを完全に埋め込む厚さ、例えばグルー層17の最上面上で500nm程度とする。

## 【0071】

続いて、図7(b)に示すように、第2の層間絶縁膜16上面上のタンゲステン膜18とグルー層17をCMP法により除去し、各コンタクトホール16a～16f内にのみ残す。これにより、コンタクトホール16a～16f内のそれぞれのタンゲステン膜18とグルー層17を導電性プラグ17a～17fとして使用する。

## 【0072】

その後に、コンタクトホール16a～16f形成後の洗浄処理、CMP後の洗浄処理等の工程で第2の層間絶縁膜16表面に付着したりその内部に浸透した水

分を除去するために、再び、真空チャンバ中で390℃の温度で第2の層間絶縁膜16を加熱して水を外部に放出させる。このような脱水処理の後に、第2の層間絶縁膜16を加熱しながら $N_2O$  プラズマに曝して膜質を改善するアニールを例えば2分間行う。

## 【0073】

次に、図8(a)に示すように、第2の層間絶縁膜16上と導電性プラグ17a～17f上にタングステンの酸化防止膜19としてプラズマCVD法によりSiON膜を約100nmの厚さに成膜する。

## 【0074】

次に、図8(b)に示すように、レジストパターン（不図示）をマスクに使用して上部電極14c上の第2の層間絶縁膜16及びエンキャップ層15、15aをエッチングしてホール16gを形成する。同時に、ワード線WLの延在方向で上部電極14cからはみ出している下部電極11a上にもホール（不図示）を形成する。その後、レジストパターンは除去される。

## 【0075】

そのエッチングは、CF系ガス、例えば $CHF_3$ に $CF_4$ とArを加えた混合ガスを用いてエッチングされる。

## 【0076】

その後に、図8(b)に示した状態で、酸素雰囲気中、550℃、60分間のアニールを行い、ホール16gを通して誘電体膜13aの膜質を改善する。この場合、酸化され易いタングステンからなる導電性プラグ17a～17fは、酸化防止膜19で覆われているため、酸化されない。

## 【0077】

次に、図9(a)に示したように、第2の層間絶縁膜16上と導電性プラグ17a～17f上にあった酸化防止膜19をエッチバック法によりエッチングし、導電性プラグ17a～17fを露出させる。その場合、導電性プラグ17a～17fの上端は、第2の層間絶縁膜16から上に飛び出る。

## 【0078】

続いて、導電性プラグ17a～17f及び上部電極14cが露出した状態で、

RFエッチング法によりそれらの表面を約10nmエッチング( $\text{SiO}_2$ 換算)して清浄面を露出させる。

## 【0079】

その後、第2の層間絶縁膜16、導電性プラグ17a~17f上に、アルミニウムを含む4層構造の導電膜をスパッタ法により形成する。その導電膜は、下から順に、膜厚150nmの窒化チタン膜、膜厚550nmの銅含有(0.5%)アルミニウム膜、膜厚5nmのチタン膜、膜厚150nmの窒化チタン膜である。

## 【0080】

ついで、図9(b)に示すように、その導電膜をフォトリソグラフィー法によりパターニングすることにより第1~第5の配線20a, 20c, 20d~20eと導電性パッド20bを形成する。

## 【0081】

メモリセル領域Aにおいて、第1の配線20aは、pウェル3aの一側方にある上部電極14aにホール16gを通して接続され、かつ上部電極14aに最も近いpウェル3a上の導電性プラグ17cに接続される。第2の配線20cは、pウェル3aの他側方にある上部電極14aにホール16gを通して接続され、かつ上部電極14aに最も近いpウェル3a上の導電性プラグ17aに接続される。導電性パッド20bは、pウェル3aの中央の上に形成された導電性パッド17bの上に島状に形成される。第3~第5の配線20d~20eは、周辺回路領域Bにおける導電性プラグ17d~17fに接続される。

## 【0082】

次に、図10に示す構造を形成するまでの工程を説明する。

## 【0083】

まず、第1~第5の配線20a, 20c, 20d~20eと導電性パッド20bの上に第3の層間絶縁膜21を形成した後に、第3の層間絶縁膜21の上面をCMPにより平坦化する。

## 【0084】

ついで、マスク(不図示)を使用して第3の層間絶縁膜21にビアホール22

a, 22bを形成する。ビアホール22a, 22bは、メモリセル領域Aのpウェル3aの上の導電性パッド20bの上や、周辺回路領域Bの配線20eの上、その他の位置に形成される。

## 【0085】

さらに、ビアホール22a, 22b内に、TiN層とW層からなるビア23a, 23bを形成する。それらのビア23a, 23bは、ビアホール22a, 22b内と第3の層間絶縁膜21上にTiN層とW層をスパッタにより形成した後に、第3の層間絶縁膜21上からTiN層とW層をCMPにより除去し、これによりビア23a, 23b内に残すことによって形成される。

## 【0086】

続いて、第3の層間絶縁膜21上に二層目の配線24a~24eを形成した後に、第3の層間絶縁膜21上に二層目の配線24a~24eの上に第4の層間絶縁膜25を形成する。さらに、第4の層間絶縁膜25を平坦化した後に、第4の層間絶縁膜25上に、アルミニウムよりなる導電パターン26を形成する。その後、第4の層間絶縁膜25及び導電パターン26の上に、酸化シリコンよりなる第1のカバー絶縁膜27と窒化シリコンよりなる第2のカバー絶縁膜28を順に形成する。以上によりFeRAMの基本的な構造が形成される。

## 【0087】

上記した実施形態により形成されたキャパシタQは、キャパシタQの下に形成された第1の層間絶縁膜10の上面をNH<sub>3</sub>ガスを用いたプラズマに曝すことによって、キャパシタ特性が従来よりも改善された。

## 【0088】

そこで以下に、上記した実施形態により形成されるキャパシタQについて、詳細に説明する。なお、以下に述べる絶縁膜は原則的に酸化シリコン膜である。

## 【0089】

まず、上記した工程によって形成された本実施形態に係るFeRAMと、従来方法によって形成されたFeRAMとを用意する。

## 【0090】

従来構造を有するFeRAMでは、NH<sub>3</sub>プラズマに曝されない第1の層間絶縁

膜 1 0 の上に中間層 1 1 を形成する以外は、上記した実施形態と全て同じ工程を経て形成された。

#### 【 0 0 9 1 】

それらの F e R A M は、1 トランジスタと 1 キャパシタによって 1 ビットを構成する 1 T 1 C 型であり、データの “ 0 ”、“ 1 ” を判断する基準となるリファレンスセルを有している。メモリセルに書き込まれた分極電荷量を測定する際には、リファレンスセルのリファレンスキャパシタに蓄積された分極電荷量を基準にする。

#### 【 0 0 9 2 】

例えば、リファレンスキャパシタに設定された分極電荷量に比べて、メモリセルのキャパシタに設定された分極電荷量が高い場合には “ 0 ”、その逆に低い場合には “ 1 ” と判断する。従って、リファレンスキャパシタの分極電荷量は、メモリセルの電圧・分極電荷特性のヒステリシスループの電界ゼロにおけるプラス側の残留分極量 ( $+P_r$ ) とマイナス側の残留分極量 ( $-P_r$ ) との間に設定される。

#### 【 0 0 9 3 】

ヒステリシスループにおいて、一度、負のパルスをキャパシタに印加し、ついで正のパルスをキャパシタに印加したときに出る信号（電荷）は  $P$  で表わされ、 $P_{term}$  と呼ばれる。その後、もう一度正のパルスをキャパシタに印加したときに出る信号（電荷）が  $u$  で表わされ、 $U_{term}$  と呼ばれる。また、一度負のパルスをキャパシタに印加してパルスが 0 V に戻るときに出る電荷は  $D_a$  で表され、 $D_a_{term}$  と呼ばれる。

#### 【 0 0 9 4 】

まず、従来の F e R A M について “ 0 ” と “ 1 ” のマージンを調査したところ、図 1 1 のようなマージン特性が得られた。また、本実施形態の F e R A M について “ 0 ” と “ 1 ” のマージンを調査したところ、図 1 2 のようなマージン特性が得られた。

#### 【 0 0 9 5 】

図 1 1、図 1 2 のマージン特性ではそれぞれ 3 つの領域が存在する。3 つの領

域のうち中央にあるのが  $(D_a + P) \times 0.6$  のリファレンスセルの信号領域である。なお、そのリファレンスセルの信号領域よりも高電圧側にある領域が、 $P_{term}$  信号によるビット線の電位であり、“1” 信号を示している。また、リファレンスセルより低電圧側にあるのが  $U_{term}$  信号によるビット線の電位であり、“0” 信号を示す。

## 【0096】

図11、図12において、リファレンスセルの信号領域の両端が“1”信号の領域または“0”信号の領域と交わった場合には、信号分離に関してマージンが無いことを示している。従って、図11、図12で矢印で示すように、リファレンスセルの信号領域の端と“1”信号の領域の端、およびリファレンスセルの信号領域の端と“0”信号の領域の端が広いことは、それぞれ“1”、“0”信号のマージンが広いことを意味する。図12における“1”、“0”信号のマージンは、図11における“1”、“0”信号のマージンよりも広がっていることがわかる。

## 【0097】

そのような実験結果により、キャパシタの下絶縁膜の表面に  $NH_3$  プラズマ処理をすることによって、結果として FeRAM デバイスとしての“0”、“1”マージンを広げることができることが明らかになった。

## 【0098】

従来のフローと本実施形態の改良フローで異なっている部分は、下地である P-E-T-E-O-S の層間絶縁膜に  $NH_3$  プラズマ処理を行うか行わないかの違いである。この  $NH_3$  プラズマの作用により、強誘電体膜の下下部電極の配向性を向上させ、それに伴い強誘電体キャパシタの特性を向上させ、“0”、“1”のスイッチングマージンを広げることができる。

## 【0099】

次に、FeRAM の不良ビットについて説明する。

## 【0100】

従来構造の FeRAM と本実施形態の FeRAM について、不良が多く出る厳しい条件でフェイルビット測定 (Fail-Bit-Counts) を行ったところ、表1に示

すような結果が得られた。表 1 によれば、従来条件により形成された F e R A M では、平均で 3 万ビット以上の不良が発生したが、改良構造の本実施形態では、従来の約 1 / 1 0 程度に Fail-Bits を抑えることができた。なお、表 1 において、S / n はサンプル番号を示している。

【 0 1 0 1 】

【表 1】

NH<sub>3</sub>プラズマ 処理 (PLA)によるフェイルビット数の低減

	測定温度	S/n	フェイルビット数	平均	相対比
従来	-45℃	1	23521		
		2	28023		
		3	33622		
		4	36938		
		5	36977	31816.2	10
	+85℃	6	1	—	—
改良 (NH <sub>3</sub> -PLA 処理あり) 本実施形態	-45℃	7	4531		
		8	6175		
		9	4665		
		10	2001		
		11	1336	3741.6	1.2
	+85℃	12	0	—	—

測定フロー : (1) SS(RowB)write @25℃  
(2) IR リフロー 250℃/ 1 min  
(3) SS read @ -45℃, +85℃

【 0 1 0 2 】

ところで、本実施形態の F e R A M において、図 1 2 の結果のように “ 0 ” と “ 1 ” のマージンが広がったり、表 1 のように Fail-Bits が従来の約 1 / 1 0 に減少する理由としては、キャパシタ Q の強誘電体である P Z T 自身の結晶性が良好になったからである。つまり、NH<sub>3</sub> プラズマに曝された第 1 の層間絶縁膜 1 0 上に形成した Ti 膜の ( 0 0 2 ) 面の配向性を向上させた後、その Ti 膜 ( 中間層 1 1 ) を酸化させ、TiO<sub>x</sub> 膜を形成し、その上層に第 1 の導電膜 1 2 として Pt 膜を成膜して下部電極を形成する。その上に P Z T 膜を形成し、P Z T 膜をアニールをして P Z T 膜自身の結晶性を改善させることができる。

【 0 1 0 3 】

表 2 は、第 1 の層間絶縁膜 1 2 に対する NH<sub>3</sub> プラズマ処理の有無の違いが、第



1 の層間絶縁膜 1 2 上の下部電極 1 1 a、誘電体層 1 3 a の配向強度にどのような影響を及ぼすかを比較した実験結果を示している。なお、Ti (0 0 2) 面上に形成された Pt 膜では (1 1 1) 面が現れ、TiO<sub>2</sub> (2 0 0) 面上に形成された Pt 膜では (1 1 1) 面が現れる。Ti (0 0 2) は、酸化によって TiO<sub>2</sub> (2 0 0) 面となる。また、(2 2 2) 面は (1 1 1) 面と等価である。

【0 1 0 4】

【表 2】

NH<sub>3</sub>-PLA 有無による下部電極および PZT の配向強度比較

	NH <sub>3</sub> -PLA	Ti(002)	TiO <sub>2</sub> (200)	Pt(222)	PZT(222)
従来	無し	1104	718	39849	5000
改良	有り	13435	4068	199909	15000

【0 1 0 5】

表 2 によれば、絶縁膜に NH<sub>3</sub> プラズマ処理をすることにより、絶縁膜上に形成される Ti (0 0 2)、TiO<sub>2</sub> (2 0 0) の配向強度を劇的に向上させ、その酸化チタン膜の上に成膜する Pt の配向性を向上させ、最終的には、Pt 膜の上に形成される P Z T にまで影響を与えていることが判る。

【0 1 0 6】

また、絶縁膜を NH<sub>3</sub> プラズマに曝すことにより、その絶縁膜上の TiO<sub>2</sub> 膜の表面粗さ、即ち平坦性がどのように改善されるかを調べたところ、表 3 に示すような結果が得られ、表面粗さを抑える効果もある。

【0 1 0 7】

【表 3】

NH<sub>3</sub>-PLA 有無による TiO<sub>2</sub> の平坦性比較 (AFM 測定結果)

	NH <sub>3</sub> -PLA	TiO <sub>2</sub> の平坦性 【μm】
従来	無し	2.328
改良	有り	1.712

【0 1 0 8】

従って、表 2，表 3 により、絶縁膜の表面の $\text{NH}_3$  プラズマ処理は、その上に形成される $\text{TiO}_2$ 膜の平坦性の向上と配向性の向上の両方を兼ねている。 $\text{Ti}$ 膜についても同様である。

## 【 0 1 0 9 】

かねてから、 $\text{Pt}$ 膜の下地には、平坦性が重要視されていた。

## 【 0 1 1 0 】

これについて、本発明によれば、 $\text{Pt}$ 膜の下地の平坦性と配向性の両方を兼ねる効果が $\text{NH}_3$  プラズマ処理に有ることがわかった。

## 【 0 1 1 1 】

ところで、 $\text{NH}_3$  プラズマ処理された絶縁膜について $\text{NH}_3$  プラズマ処理効果の低下が見られることもあり、その $\text{NH}_3$  プラズマ処理効果の低下の原因を探るため、本発明者は以下のような実験をした。

## 【 0 1 1 2 】

まず、図 1 3 に示すように、 $\text{NH}_3$  プラズマ処理された絶縁膜には、大気放置時間依存があり、 $\text{NH}_3$  プラズマ処理をしてから $\text{Ti}$ を成膜するまでの大気放置時間を長くすると、その効果が低下してしまうことが実験により明らかになった。

## 【 0 1 1 3 】

そこで、複数種の試料を作製して以下のような実験を行った。

## 【 0 1 1 4 】

第 1 の試料として、シリコン基板上方の絶縁膜表面を $\text{NH}_3$  プラズマ処理した後に、大気に放置せずに、絶縁膜上に $\text{Ti}$ 膜を形成した。第 2 の試料として、シリコン基板上方の絶縁膜表面を $\text{NH}_3$  プラズマ処理した後に大気に 2 4 時間放置し、ついで絶縁膜上に $\text{Ti}$ 膜を形成した。第 3 の試料として、シリコン基板上方の絶縁膜表面を $\text{NH}_3$  プラズマ処理した後に大気に 2 4 時間放置し、ついでコーターを用いて絶縁膜上に IPA（イソプロピルアルコール）を塗布し、乾燥し、ついで絶縁膜上に $\text{Ti}$ 膜を形成した。

## 【 0 1 1 5 】

なお、 $\text{NH}_3$  プラズマ処理の条件として、プラズマ発生用のチャンバ内に導入される $\text{NH}_3$  のガス流量を 2 5 0 sccm、チャンバ内の圧力を 4 Torr、基板温度を 4 0

0℃、基板に供給される高周波電源のパワーを100W、プラズマ発生領域に供給される高周波電源のパワーを55W、電極・第1の層間絶縁膜間の距離を300mils、プラズマ照射時間を10分に設定する。

## 【0116】

そして、図14に示すように、第1～第3の試料の各々のTi膜の上面の(002)の配向強度をX線回折法(XRD)により測定したところ、第1の試料では(002)配向強度が高くなり、第2の試料では(002)配向強度が極端に下がり、また、第3の試料では(002)配向強度が回復する、という結果が得られた。

## 【0117】

さらに、別な試料を作成して以下のような実験を行った。

## 【0118】

第4の試料として、シリコン基板上方の絶縁膜表面をNH<sub>3</sub>プラズマ処理した後に、大気に放置せずに、絶縁膜上にTi膜を形成した。第5の試料として、シリコン基板上方の絶縁膜表面をNH<sub>3</sub>プラズマ処理した後に大気に24時間放置し、ついで絶縁膜上にTi膜を形成した。第6の試料として、シリコン基板上方の絶縁膜の表面をNH<sub>3</sub>プラズマ処理した後に、NH<sub>3</sub>プラズマに曝された絶縁膜の表面に対して水を用いる表面ジェットスクラバー(SJ)処理を行い、その後に絶縁膜上にTi膜を形成した。

## 【0119】

なお、NH<sub>3</sub>プラズマ処理の条件として、試料1～試料3を作成する際のNH<sub>3</sub>プラズマ処理と処理時間を除き同じ条件に設定した。その処理時間は1分である。

## 【0120】

そして、図15に示すように、第4～第6の試料の各々のTi膜の(002)の配向強度をXRDにより測定したところ、第6の試料のTi(002)配向強度は第4の試料のTi(002)配向強度に比べて大幅に低下していることがわかる。しかし、第6の試料のTi(002)配向強度は、第5の試料のTi(002)配向強度に比べて大きく高くなっている。

## 【0121】

なお、第 4 の試料と上記した第 1 の試料とを比べると、それらの試料の Ti (0 0 2) 配向強度が異なっているが、これは  $\text{NH}_3$  プラズマ処理時間の違いによるものであり、本質的な効果の違いはない。

#### 【 0 1 2 2 】

図 1 4、図 1 5 の測定結果により判ることは、 $\text{NH}_3$  プラズマに曝された絶縁膜の大気放置による Ti 配向性の劣化の原因は、大気中の水分だと考えられる。

#### 【 0 1 2 3 】

つまり、図 1 4 に示したように、 $\text{NH}_3$  プラズマ処理後に大気に曝された絶縁膜の表面が IPA 処理により復活した。その理由としては、大気放置することにより絶縁膜の表面に  $\text{H}_2\text{O}$  分子が付着し、その後に絶縁膜表面に付着していた  $\text{H}_2\text{O}$  が IPA に吸収され乾燥し、その表面の  $\text{H}_2\text{O}$  が減少して配向性が復活したと考えられる。

#### 【 0 1 2 4 】

また、図 1 5 では、表面ジェットスクラバー (S J 処理) により絶縁膜の表面に  $\text{H}_2\text{O}$  分子が付着し、擬似的な大気放置状態を作り出し、その絶縁膜上に形成された Ti 膜の配向性が低下したと考えられる。

#### 【 0 1 2 5 】

以上の結果から、 $\text{NH}_3$  プラズマに曝された絶縁膜の大気放置による劣化は、大気中の水分が影響していることになる。そこで、 $\text{NH}_3$  プラズマに曝された絶縁膜を有する基板 (ウェハ) を大気中に長時間置かずに真空雰囲気保管し、その後に Ti 膜を形成すれば、Ti 膜の劣化を防げるのではないかと思い実験を行った。その実験により、図 1 6 に示すような結果が得られた。なお、図 1 6 の横軸に示す Ti 膜はその下に記載された条件に置かれた絶縁膜の上に形成されている。また、それらの絶縁膜は、図 1 6 の横軸の条件に置かれる前に、 $\text{NH}_3$  プラズマ処理された。

#### 【 0 1 2 6 】

図 1 6 によれば、 $\text{NH}_3$  プラズマ処理後の絶縁膜を  $4.1 \times 10^{-6} \text{ Torr}$  という高真空中に保管し続ければ Ti 膜の (0 0 2) 配向強度は高い値を維持することが判った。

## 【 0 1 2 7 】

しかし、 $\text{NH}_3$  プラズマに曝された絶縁膜 1 7 0 mTorr と低真空で保管し、真空引きをやめてそのまま長時間放置してしまうと、その放置後に絶縁膜上に形成されるTi膜の(0 0 2) 配向強度は大気放置した状態とほとんど差がない状態まで落ち込むことが判った。即ち、わずかな真空雰囲気内へのガスのリークでもTi膜の配向性を劣化させる原因になり得ることがわかる。

## 【 0 1 2 8 】

また、図 1 6 の結果によれば、大気中に存在する物質がTi膜の配向性劣化に繋がっていることがわかった。図 1 6 の実験結果と図 1 4、図 1 5 の実験結果とを合わせると、 $\text{NH}_3$  プラズマ処理された絶縁膜の表面状態の優劣は大気中の水分が関与している可能性が高いといえる。

## 【 0 1 2 9 】

これらの結果から判るように、絶縁膜の表面に $\text{NH}_3$  プラズマ処理をしてからTi成膜を形成するまでは、なるべく真空中で行ったほうが良いと考えられる。運悪く、そのような処理ができない場合には、絶縁膜表面を $\text{NH}_3$  プラズマに曝した後に、なるべくその表面上に早くTi膜を成膜するか、その表面を大気に放置した後にはTi成膜前に I P A 処理を追加する方が良い。

## 【 0 1 3 0 】

以上のように、絶縁膜の表面に $\text{NH}_3$  プラズマ処理をした後に、絶縁膜を大気に曝さずに絶縁膜上にTi成膜を形成するために使用される装置の一例を図 1 7 に示す。

## 【 0 1 3 1 】

図 1 7 において、真空搬送室 3 1 には、ロード室 3 2、アンロード室 3 3、 $\text{NH}_3$  プラズマ処理用のプラズマ発生チャンバ 3 4 及びチタン形成用のスパッタチャンバ 3 5 が接続されている。また、真空搬送室 3 1 内には、ウェハ（半導体基板）を搬送するロボット 3 6 が取り付けられている。

## 【 0 1 3 2 】

真空搬送室 3 1 内は例えば  $1 \times 10^{-3}$  Torr の真空状態に維持される。また、ロード室 3 2、アンロード室 3 3、プラズマ発生チャンバ 3 4 及びスパッタチャン

バ 3 5 も所定の真空状態になっている。

【 0 1 3 3 】

ロード室 3 2 内に搬送されたウェハ 3 0 上には絶縁膜が形成されている。そして、ロード室 3 2 内のウェハ 3 0 をロボット 3 6 によりプラズマ発生チャンバ 3 4 内に搬送する。プラズマ発生チャンバ 3 4 内では $\text{NH}_3$  ガスが導入されて上記した条件によりプラズマが発生され、これにより絶縁膜は $\text{NH}_3$  プラズマに曝されることになる。また、絶縁膜のプラズマ処理を終えた後に、ロボット 3 6 は、真空搬送室 3 1 内を経由してスパッタチャンバ 3 4 内にウェハ 3 0 を搬送する。さらに、スパッタチャンバ 3 4 内では上記した条件により絶縁膜上にTi膜が形成される。そして、Ti膜の形成を終えた後に、ロボット 3 6 は、真空搬送室 3 1 内を経由してアンロード室 3 3 へウェハ 3 0 を搬出する。

【 0 1 3 4 】

これにより、絶縁膜上では、 $\text{NH}_3$  プラズマに曝された後に大気に曝されずに、チタンが形成される。

【 0 1 3 5 】

なお、チタンなどの中間層 1 1 の形成の後にも、基板を大気に曝さずに、中間層 1 1 の上に第 1 の導電層 1 2 を形成することが好ましい。

【 0 1 3 6 】

次に、 $\text{NH}_3$  プラズマ処理された絶縁膜上に形成された第 1 のTi膜と、 $\text{NH}_3$  プラズマ処理されない絶縁膜上に形成された第 2 のTi膜のそれぞれについて ( 0 0 2 ) のロックンクカーブを測定したところ、図 1 8 に示すような結果が得られた。

( 0 0 2 ) 配向を示すピークについて、第 1 のTi膜のピークは第 2 のTi膜のピークよりも大幅に高くなった。しかも、それらのピークを有するロックンクカーブについて半値幅を求めたところ、第 1 のTi膜の半値幅は  $3.98^\circ$  と狭くなり、第 2 のTi膜の半値幅は  $6.88^\circ$  と広がった。

【 0 1 3 7 】

これにより、 $\text{NH}_3$  プラズマ処理された絶縁膜上に形成された第 1 のTi膜の ( 0 0 2 ) 配向にはバラツキがなく、きれいに揃って、配向性が従来に比べて大幅に改善されていることがわかる。

## 【 0 1 3 8 】

なお、図 1 8 は、3 軸ゴニオの X R D により測定されたロッキングカーブである。ロッキングカーブは、まず、 $2\theta/\theta$  の測定で  $2\theta$  を Ti (0 0 2) のピーク位置、 $38.4^\circ$  付近に固定し、ついで  $\theta$  を  $5 \sim 35^\circ$  まで振って測定された。

## 【 0 1 3 9 】

なお、絶縁膜への  $\text{NH}_3$  プラズマ処理の有無の相違による、絶縁膜上の Ti 膜の他に、Ti 膜上の Pt 膜の (1 1 1) 配向、Pt 膜上の P Z T 膜の (1 1 1) 配向のそれぞれのロッキング幅の測定結果のまとめを表 4 に示す。

## 【 0 1 4 0 】

表 4 によれば、 $\text{NH}_3$  プラズマ処理された絶縁膜上の Pt 膜と P Z T 膜の (1 1 1) 配向の基板面に対する角度は、 $\text{NH}_3$  プラズマ処理されない絶縁膜上の Pt 膜と P Z T 膜に比べて小さくなることわかる。

## 【 0 1 4 1 】

【表 4】

NH<sub>3</sub>-PLA 有無による下部電極と  
PZT のロッキング幅 ( $\chi$  スキャン測定)

	NH <sub>3</sub> -PLA	Ti	TiO <sub>2</sub>	Pt(111)	PZT(111)
従来(度)	無し	6.88 *	—	5.45	8.98
改良(度)	有り	3.98 *	—	2.97	4.15

\* :  $\theta$  スキャン測定の半値幅

## 【 0 1 4 2 】

次に、 $\text{NH}_3$  プラズマ処理が行われた絶縁膜の上に Ti 膜を形成すると、Ti の配向強度が上昇する、というメカニズムを調べるための実験について説明する。

## 【 0 1 4 3 】

まず、シリコン基板上に P E - T E O S よりなる絶縁膜を 6 種類のガスを用いてプラズマ処理を行い、その後絶縁膜上に Ti 膜を形成した。続いて、Ti 膜の配向強度を X R D により調査したところ、図 1 9 に示すようなプラズマの 6 種類のガ

スとTi膜のXRDピーク強度との関係が得られた。

#### 【 0 1 4 4 】

その結果、有効な効果が生じたガスは、 $N_2$ と $NH_3$ であった。特に $NH_3$ は、ウェハの中心(Cen)と周辺(OF)との差が少なく配向強度も他のガスにくらべても(002)配向強度が非常に高い結果となった。2番目に高いのは、 $N_2$ である。 $N_2$ では、面内分布に差が発生しており、ウェハ周辺で配向強度が高くなっている。その原因として、チャンバの側壁から出てきた水素がプラズマに入り込み擬似的に $NH_3$ ガスを用いる効果と同等な作用をしたのではないかと考えられる。さらに、酸素が入った $O_2$ や $N_2O$ では、他のガスに比べ非常に(002)配向強度が悪い結果になった。

#### 【 0 1 4 5 】

これらの結果から、酸素の入っていないガスでかつ窒素が入っているガスが良好であり、そのようなガスを用いたプラズマによりTi(002)の配向強度を高められることがわかった。また、 $NH_3$ で一番良好な結果になったことから、NとHが入ったガスが効果的であるといえる。

#### 【 0 1 4 6 】

また、メカニズム解析の一つとして、 $SiO_2$ 基板について $NH_3$ プラズマ処理有りと無しの2種類のウェハを作製し、フーリエ変換赤外分光光度計(FT-IR)測定を行った。その結果を図20に示す。

#### 【 0 1 4 7 】

図20によれば、 $SiO_2$ 基板に $NH_3$ プラズマ処理を行うと、 $SiO_2$ 中のO-H結合が減少し、N-H結合が増加することがわかった。この結果と図19の結果から以下のようなメカニズムが考えられる。

#### 【 0 1 4 8 】

つまり、図21(a)に示すように、 $NH_3$ プラズマ処理がされていない $SiO_2$ 膜は、表面に酸素(O)原子が顔を出しており、酸素(O)とチタン(Ti)が結合しやすいため、Tiのマイグレーションが起こり難くTiのc軸が基板面の垂直方向からずれるのではないかと考えられる。図19のガス種を変えた場合の実験結果で、酸素の入ったガス( $N_2O$  or  $O_2$ )雰囲気ではプラズマを発生させるとTi膜の配向強



度が低下する現象は、まさに $\text{SiO}_2$ 膜表面上のO-H 基が減少し、表面に顔を出すO 原子の密度が多くなっているからではないかと考えられる。

## 【 0 1 4 9 】

それに対して、図 2 1 (b) に示すように、 $\text{SiO}_2$ 表面上に $\text{NH}_3$  プラズマ処理を行うと、表面付近に存在するO に窒素 (N) が結合され、表面でのN のもう一方の結合は、H でターミネートされていると考えられる。そのため $\text{SiO}_2$ の表面がTiと反応性が低くなる。この作用が、Tiのマイグレーションを起こし易くさせ、基板に対して垂直方向にc軸を立たせることができると考えている。

## 【 0 1 5 0 】

なお、H は、Tiが厚くなるにつれて $\text{SiO}_2$ 膜表面から離脱して最終的にはTi膜中には残らない。

## 【 0 1 5 1 】

ところで、以上のような考えに基づけば、N-H 結合を増加させるためには、 $\text{NH}_3$  ガスを用いずに、窒素 ( $\text{N}_2$ ) ガスと水素 ( $\text{H}_2$ ) ガスをプラズマ発生チャンバ内に導入することも考えられた。そこで、 $\text{N}_2$ 及び $\text{H}_2$ のプラズマに $\text{SiO}_2$ 絶縁膜を曝した後に絶縁膜上にTi膜を形成する試料を複数作製した。それらの試料は、プラズマ発生チャンバ内に導入される $\text{N}_2$ ガスと $\text{H}_2$ ガスのうち $\text{H}_2$ ガスの流量を異ならせている他は、同じ条件で形成された。さらに、 $\text{NH}_3$  プラズマ処理がなされた絶縁膜上にTi膜を形成した試料も作製した。

## 【 0 1 5 2 】

それらの試料のTi膜の (0 0 2) 配向についてXRDで調べたところ、図 2 2 に示すような結果が得られた。

## 【 0 1 5 3 】

図 2 2 によれば、 $\text{N}_2 + \text{H}_2$ プラズマを用いて作製された試料はいずれも、 $\text{NH}_3$  プラズマを用いて作製された試料に比べて、Ti膜の (0 0 2) 配向強度が低いことが判った。従って、Ti膜形成の前に $\text{SiO}_2$ 膜の表面にN-H 結合を作るためには、 $\text{NH}_3$  のようにN とH が結合をしている分子のガスを使用する方が、劇的に効果があるといえる。なお、 $\text{N}_2 + \text{H}_2$ プラズマを用いる場合、 $\text{H}_2$ を約 1 0 %の僅かな量でチャンバ内に導入するとウェハの周縁近傍で (0 0 2) 配向強度のピークが高くな

っていた。

【 0 1 5 4 】

ところで、N-H 結合を $\text{SiO}_2$ 膜の表面に多く作るためには、図 2 3 に示すように、基板温度を上げて反応速度を速めることが好ましい。

【 0 1 5 5 】

なお、図 2 3 に示す結果を得るための実験では、 $\text{SiO}_2$ 膜に対する $\text{NH}_3$  プラズマ処理の条件として、プラズマ発生用のチャンバ内に導入される $\text{NH}_3$  のガス流量を 2 5 0 sccm、チャンバ内の圧力を 4 Torr、基板に供給される高周波電源のパワーを 1 0 0 W、プラズマ発生領域に供給される高周波電源のパワーを 5 5 W、電極・第 1 の層間絶縁膜間の距離を 3 0 0 mils、プラズマ照射時間を 1 分に設定し、さらに基板温度を変化させた。

【 0 1 5 6 】

また、図 2 4 に示すように、基板に供給される 1 3 . 5 6 MHz の高周波電力のパワーを上げることにより、 $\text{NH}_3$  ガスの分解を促進しても Ti ( 0 0 2 ) の配向強度を上昇させることができる。

【 0 1 5 7 】

なお、図 2 4 に示した結果を得るための実験では、 $\text{SiO}_2$ 膜に対する $\text{NH}_3$  プラズマ処理の条件として、プラズマ発生用のチャンバ内に導入される $\text{NH}_3$  のガス流量を 2 5 0 sccm、チャンバ内の圧力を 4 Torr、基板温度を 4 0 0 °C、プラズマ発生領域に供給される高周波電源のパワーを 5 5 W、電極・第 1 の層間絶縁膜間の距離を 3 0 0 mils、プラズマ照射時間を 1 分に設定し、さらに基板に供給される高周波電源のパワーを変化させた。

【 0 1 5 8 】

また、図 2 5 に示すように、 $\text{SiO}_2$ 膜が $\text{NH}_3$  プラズマにさらされている時間が長いほど、 $\text{SiO}_2$ 膜上の Ti ( 0 0 2 ) の配向強度が高くなることがわかる。

【 0 1 5 9 】

なお、図 2 5 に示す結果を得るための実験では、 $\text{SiO}_2$ 膜に対する $\text{NH}_3$  プラズマ処理の条件として、プラズマ発生用のチャンバ内に導入される $\text{NH}_3$  のガス流量を 2 5 0 sccm、チャンバ内の圧力を 4 Torr、基板温度を 4 0 0 °C、基板に供給され

る高周波電源のパワーを100W、プラズマ発生領域に供給される高周波電源のパワーを55W、電極・第1の層間絶縁膜間の距離を300milsに設定し、さらにプラズマ照射時間を変化させた。

#### 【0160】

以上の実験結果によれば、プラズマ中の $\text{NH}_3$ の分解を促進させ、基板温度を上げて反応速度を上昇させ、 $\text{NH}_3$ プラズマ処理時間を長くすることにより効果的に $\text{SiO}_2$ 絶縁膜表面でのN-H結合が増加し、これにより $\text{SiO}_2$ 絶縁膜上のTi(002)の配向強度を上昇することができる。

#### 【0161】

この配向性の揃ったTi膜の(002)上に物質を形成すると、その物質はTi膜の配向に影響されて配向性が良くなる。そのような物質として、例えばプラチナ、イリジウム、酸化イリジウムなどの貴金属又は酸化貴金属よりなる導電膜を形成すると、基板面垂直方向に対する導電膜の(111)配向強度が高くなる。さらに、そのような配向性の良い導電膜の上にPZTなど、上記した強誘電体膜を形成すると、基板面垂直方向に対する強誘電体膜の(111)配向強度もまた高くなる。

#### 【0162】

上記した表2は、Ti膜の酸化工程は入っているものの、Ti膜の配向性を引きずって $\text{TiO}_x$ 膜上のPZT膜の結晶性を良くするという一例である。それ以外にも様々な利用方法が考えられる。

#### 【0163】

次世代の0.18 $\mu\text{m}$ 線幅のFeRAMの下部電極の層構造として、Ir/Tiという構造が検討されている。

#### 【0164】

その下部電極となるTi膜の形成前に、下地である層間絶縁膜を $\text{NH}_3$ プラズマに曝すと、Ti膜の配向性は良くなり、さらにTi膜の上に成膜されるIr膜も下地であるTi膜の配向に引きずられて配向性が良くなる。

#### 【0165】

即ち、 $\text{NH}_3$ プラズマに曝された第1の層間絶縁膜10上ではTi膜の配向性が良

くなり、これに伴いTi膜を酸化して得られる酸化チタン ( $Ti_x$  又は  $Ti_2$ ) の配向性も良くなる。従って、Ti膜、 $Ti_x$  膜又は  $Ti_2$  膜の上のPt、Ir等の貴金属膜の (1 1 1) 配向強度が高くなり、さらに、その貴金属膜の上に形成される強誘電体膜の (1 1 1) 配向強度が高くなる。

## 【 0 1 6 6 】

図 2 6 は、層間絶縁膜に対する  $NH_3$  プラズマ処理の有無によってIr/Ti下部電極がどのように相違するかを示したものであり、 $NH_3$  プラズマ処理 (P L A) された層間絶縁膜の上方のIr膜上面の (1 1 1) 配向を示すピークが大きくなり、またそのピークの半値幅が小さくなることがわかった。

## 【 0 1 6 7 】

図 2 6 は、4 軸ゴニオメータによる測定結果で、 $2\theta/\theta$  をIr (1 1 1) 面の角度である  $40^\circ$  付近に設定し、それからあおり角 ( $\chi$ ) を変化させて測定した結果である。そして、 $\chi = 0^\circ$ 、 $\chi = 90^\circ$  に (1 1 1) 面を表すピークが現れた。

## 【 0 1 6 8 】

さらに、図 2 6 の実験結果に用いた 2 種類の試料における向強度の異なるIr膜上にそれぞれMOCVD法によりPZT膜を形成し、その後にPZT膜の (1 1 1) 配向強度を測定したところ、図 2 7 に示すような結果が得られた。

## 【 0 1 6 9 】

図 2 7 によれば、 $NH_3$  プラズマ処理された絶縁膜の上にIr/Ti 膜を介して形成されたPZT膜上面の (1 1 1) 配向を示すピークが大きくなり、また、そのピークの半値幅が小さくなることがわかった。

## 【 0 1 7 0 】

図 2 7 は、4 軸ゴニオメータによる測定結果で、 $2\theta/\theta$  をPZTの (1 1 0)、(1 0 1) 面の角度である  $31^\circ$  付近に設定し、その後にあおり角 ( $\chi$ ) を変化させて測定した結果である。そして、 $\chi = 35^\circ$  の強いピークはPZT (1 1 1) 面によるものである。Ti膜の下地の層間絶縁膜に  $NH_3$  プラズマ処理 (P L A) を行うことにより、Ir膜上のPZT膜の (1 1 1) ピークが強くなり鋭くなる。しかし、層間絶縁膜に  $NH_3$  プラズマ処理が行われない場合には、Ir膜上のP

Z T 膜の (1 1 1) のピークが弱く且つ緩やか広がる。

【0 1 7 1】

さらに、図 2 7 に示した 2 種類の構造を使用してそれぞれキャパシタを形成してそれらのスイッチングチャージ ( $Q_{sw}$ ) を測定したところ、表 5 に示すような結果が得られ  $NH_3$  プラズマ処理された層間絶縁膜を有するキャパシタの  $Q_{sw}$  の方がより高くなった。

【0 1 7 2】

【表 5】

$NH_3$ -PLA 有無による MO-CVD-PZT の  $Q_{sw}$  @ 1.8 V 比較

	$Q_{sw}$ @ 1.8 V
$NH_3$ -PLA 無し	$24 \mu C/cm^2$
$NH_3$ -PLA 有り	$31 \mu C/cm^2$

【0 1 7 3】

なお、 $NH_3$  プラズマに絶縁膜を曝し、その絶縁膜上に形成される Ti 膜の (0 0 2) 配向性を改善させることにより、図 2 8 に示すように、Al-Cu/Ti、Al-Cu/Ti N/Ti などの構造を絶縁膜上に形成することによって Al 合金を (1 1 1) に揃えるとともに、エレクトロマイグレーション耐性を上げることができる。

【0 1 7 4】

Al 合金の配向を (1 1 1) に揃えることによりエレクトロマイグレーション耐性が高くなることは、次のような文献①、②に記載がある。但し、 $NH_3$  プラズマに絶縁膜を曝すことについては記載がない。

【0 1 7 5】

① M. Kageyama, K. Hashimoto and H. Onoda: Proc. 29th Int. Reliability Physics Symp., 1991 (IEEE, New York, 1991) p. 97

② T. Mitsuzuka: Jpn. J. Appl. Phys. 31 (1992) L1280  
(第 2 の実施の形態)

第 1 実施形態では、強誘電体膜をスパッタにより形成するための条件について説明した。本実施形態では、強誘電体膜をMOCVD法により形成するための条件について説明する。

## 【 0 1 7 6 】

まず、図 1 に示したように、第 1 の層間絶縁膜 1 0 の上面をCMPにより平坦化する。その後に、図 2 (a) に示したように、第 1 層間絶縁膜 1 0 を $\text{NH}_3$  プラズマに曝す。 $\text{NH}_3$  プラズマ処理の条件として、例えば、チャンバ内に導入される $\text{NH}_3$  のガス流量を 2 5 0 sccm、チャンバ内の圧力を 4 Torr、基板温度を 3 5 0 °C、基板に供給される高周波電源のパワーを 1 0 0 W、プラズマ発生領域に供給される高周波電源のパワーを 5 5 W、電極・第 1 の層間絶縁膜間の距離を 3 0 0 mils、プラズマ照射時間を 1 分に設定する。

## 【 0 1 7 7 】

次に、図 2 (b) に示したように、 $\text{NH}_3$  プラズマ処理された第 1 層間絶縁膜 1 0 の上に中間層 1 1 を形成する。本実施形態においては、中間層 1 1 としてTi層をスパッタ法により形成する。Ti中間層 1 1 は、基板温度を室温に設定して 1 0 n mの厚さに形成する。

## 【 0 1 7 8 】

続いて、図 3 (a) に示したように、中間層 1 1 の上に第 1 の導電膜 1 2 を形成する。但し、本実施形態では、第 1 の導電膜 1 2 として、スパッタによりイリジウム膜を形成する。イリジウム (Ir) 膜は、2 0 0 ~ 4 0 0 n m、例えば 4 0 0 n mの厚さに形成する。Ir膜をスパッタにより形成する条件として、例えばチャンバ内に入れたシリコン基板 1 の温度を約 5 0 0 °Cとし、チャンバ内に導入するアルゴンガス圧を 0 . 1 5 Paとし、ターゲットとしてイリジウムを用い、ターゲット・基板間に印加するDCパワーを 2 . 6 kWとする。

## 【 0 1 7 9 】

この後に、第 1 の導電膜 1 2 の上に強誘電体膜 1 3 としてPZT膜を 1 2 0 n mの厚さに形成する。但し、本実施形態では、次のような条件でMOCVD法によりPZT膜を形成する。

## 【 0 1 8 0 】

チャンバ（不図示）内に置かれたシリコン基板 1 上での P Z T 膜の成長温度を 6 2 0℃とする。そして、P Z T 膜を構成する元素のうち、Pbの原料としてPb(DPM)<sub>2</sub>、Zrの原料としてZr(dmhd)<sub>4</sub>、Tiの原料として、Ti(O-iPr)<sub>2</sub>(DPM)<sub>2</sub>が用いられる。それらの原料は、T H Fにモル比3%の濃度で溶解させて液状にされた状態で気化器に搬送され、気化器では例えば260℃の温度でT H Fとともに気化され、酸素と混合した後にシャワーヘッドを通してチャンバ内の第1の導電膜 1 3 上に吹き付けられる。

## 【 0 1 8 1 】

チャンバ内に導入される原料ガスの流量は、成長初期の20秒間ではPb原料ガスが0.365ml/min.、Zr原料ガスが0.196ml/min.、Ti原料ガスが0.175ml/min.に設定され、その後の505秒間ではPb原料ガスが0.376ml/min.、Zr原料ガスが0.277ml/min.、Ti原料ガスが0.214ml/min.に設定される。

## 【 0 1 8 2 】

そのような条件により形成されたP Z T膜の厚さは120nmであり、その組成は  $Pb/(Zr + Ti) = 1.17$ 、 $Zr/(Zr + Ti) = 0.43$ であった。

## 【 0 1 8 3 】

MOCVD法により形成されたP Z T膜は、結晶化されているので、結晶化のためのアニールは省略される。

## 【 0 1 8 4 】

なお、基板温度を620℃に設定してMOCVD法によりP Z T膜を形成する場合に、P Z T膜から鉛(Pb)が下に拡散して下部電極となる第1の導電膜 1 2 の構成元素とPbの合金が形成されてしまい、下部電極からのリーク電流が大きくなる原因となる。基板温度を580℃とすれば、P Z T膜からPbの拡散が防止されるが、本実施形態のようなP Z Tの膜質向上が図れない。

## 【 0 1 8 5 】

そのような強誘電体膜 1 3 の形成に続いて、図3(b)に示すように、強誘電体膜 1 3 であるP Z T膜の上に第2の導電膜 1 4 としてIrO<sub>x</sub>膜をスパッタにより200nmの厚さに形成する。IrO<sub>x</sub>膜は、第1実施形態と同様に2ステップで

されてもよい。

【 0 1 8 6 】

次に、図 4 (a), (b)、図 5 (b) に示した工程に沿って第 2 の導電膜 1 4、強誘電体膜 1 3、第 1 の導電膜 1 2 及び中間層 1 1 を順次パターニングすることにより強誘電体キャパシタ Q が形成される。なお、強誘電体キャパシタ Q において、第 2 の導電膜 1 4 は上部電極 1 4 c、強誘電体膜 1 3 は誘電体膜 1 3 a、第 1 の導電膜 1 2 及び中間層 1 1 は下部電極 1 1 a となる。

【 0 1 8 7 】

その後の工程は第 1 実施形態と同じであるので省略する。

【 0 1 8 8 】

以上のような工程により、下部電極 1 1 a を構成する Ti 中間層 1 1 は、第 1 実施形態で説明したように基板面に垂直な c 軸に配向して (0 0 2) 配向強度が高くなるので、その上に形成される Ir 第 1 の導電膜 1 2 の (1 1 1) 配向強度が高くなる。

【 0 1 8 9 】

表 6 は、下部電極 1 1 a の構造を相違させた場合の Ir 膜の (2 2 2) の X R D プロファイルの半値幅を示している。

【 0 1 9 0 】

【表 6】

下部電極構造	半値幅
Ir/SiO <sub>2</sub> (従来)	8.8°
Ir/Ti/SiO <sub>2</sub> (従来)	4.5°
Ir/Ti/NH <sub>3</sub> プラズマ処理/SiO <sub>2</sub>	1.6°
Ir/Pt/Ti/NH <sub>3</sub> プラズマ処理/SiO <sub>2</sub>	1.4°

【 0 1 9 1 】

表 6 によれば、NH<sub>3</sub> プラズマ処理された SiO<sub>2</sub> 絶縁膜上に Ti 膜又は Pt/Ti 膜を介して形成された Ir 膜の (2 2 2) の X R D 半値幅は 1. 6°、1. 4° と小さくなっているので、Ir 膜のグレインが (2 2 2) 配向方向に揃った好ましい状態と



なっている。なお、(2 2 2) 配向は (1 1 1) 配向と等価である。

#### 【 0 1 9 2 】

なお、中間層 1 1 を構成する Ti 膜の (0 0 2) 配向強度が高くなっているのも、第 1 実施形態のように、Ti 膜を R T A により酸化して  $TiO_x$  膜に変えても  $TiO_x$  膜の配向性は Ti 膜の配向性を引きずって良好な状態となって表 3 に示したように平坦性が従来よりも高くなっている。本実施形態では第 1 の層間絶縁膜 1 0 の表面を  $NH_3$  プラズマ処理した点で、従来技術と相違している。

#### 【 0 1 9 3 】

また、第 1 の導電膜 1 2 と中間層 1 1 のパターンニングにより形成されて (1 1 1) 配向強度の高い下部電極 1 1 a 上に 6 2 0 °C の高い基板温度で M O C V D 法により形成された P Z T 誘電体膜 1 3 a は、9 0 % 以上のグレインの配向を基板面に垂直な (1 1 1) に揃えることができた。

#### 【 0 1 9 4 】

これは、下部電極 1 1 a の配向性を良くするために、 $NH_3$  プラズマ処理された第 1 の層間絶縁膜 1 0 の上に中間層 1 2 として c 軸に配向方向が揃ったした Ti 膜が形成できるので、その中間層 1 2 上の Ir 膜が (1 1 1) に揃って配向するようになり、強誘電体膜 1 3 の結晶性は、その下地の Ir 膜の結晶性を受け継いで成長するからである。

#### 【 0 1 9 5 】

ところで、本実施形態では、P Z T 膜の成長温度を 6 2 0 °C で形成しているが従来では 5 8 0 °C である。

#### 【 0 1 9 6 】

$NH_3$  プラズマ処理された絶縁膜上の Ti からなる中間層 1 2 を形成し、中間層 1 2 上にスパッタにより Ir 膜を形成した後に、Ir 膜の配向を X R D 法により測定したところ図 2 9 の実線曲線に示すような X R D プロファイルが得られた。図 2 9 の実線曲線によれば、Ir 膜に十分高い強度の (1 1 1) 配向が得られていることがわかる。さらに、その Ir 膜の上に基板温度 6 2 0 °C の上記した条件で M O C V D 法により P Z T 膜を形成し、その P Z T 膜の (1 1 1) 配向強度を測定したところ、図 2 9 の実線ようになった。

【 0 1 9 7 】

これに対して、Ir膜の上に基板温度 5 8 0℃でP Z T膜をM O C V D法により形成したところ、図 2 9 の破線で示すようにP Z T膜の( 1 1 1 ) 配向強度が極めて小さくなった。そのP Z T膜は、ランダム結晶となっていた。

【 0 1 9 8 】

そして、図 2 9 に使用した 2 つの試料のP Z T膜上に上部電極を形成してスイッチング電荷量を測定したところ、図 3 0 に示すような特性が得られた。

【 0 1 9 9 】

図 3 0 によれば、( 1 1 1 ) 配向強度が高い柱状結晶のP Z T強誘電体膜を有する本実施形態のキャパシタは、ランダム結晶のP Z T強誘電体膜を有するキャパシタに比べてスイッチング電荷量が大きくなった。標準的なデバイス動作電圧である 1 . 8 Vでの電荷量を比較すると、配向強度が高いP Z T膜を有するキャパシタでは  $29 \mu\text{C}/\text{cm}^2$  という高い値となった。これに対し、ランダム配向のP Z T膜を有するキャパシタでは  $22 \mu\text{C}/\text{cm}^2$  という低い値となった。

【 0 2 0 0 】

初期のスイッチング電荷量が高いことは、書き換え回数の増加による疲労や長時間のデータ保持による減極に対してもマージンが高いことを示している。

【 0 2 0 1 】

そこで、それらのキャパシタを有するF e R A Mについてインプリント特性を測定したところ、図 3 1 に示すような結果となった。

【 0 2 0 2 】

図 3 1 によれば、( 1 1 1 ) 配向強度が高いP Z Tからなるキャパシタを有する本実施形態のF e R A Mは、エージング時間が延びても電荷量の減少量が小さく、1 0 0時間経過後でも十分な読み取りマージンが維持される。これに対して、ランダム結晶のP Z Tからなるキャパシタを有するF e R A Mは、エージング時間が延びるにつれて電荷量が大幅に減少して1 0 0時間経過後には殆ど0になっている。

【 0 2 0 3 】

次に、不良ビットの発生するキャパシタと発生しないキャパシタについて分析

結果を説明する。

#### 【0204】

まず、不良ビットが発生するキャパシタの強誘電体膜のPZT結晶の(111)配向を調べた。図32(a)は、不良ビットが発生するキャパシタを透過電子顕微鏡で見た像に基づく断面図であり、図32(b)は図32(a)の破線で示したPZT結晶が<111>方向でない領域の電子回折像である。これによれば、PZT膜の(111)配向比率は多く見積もっても約85%である。

#### 【0205】

不良ビット数が発生しないキャパシタの強誘電体膜のPZT結晶の(111)配向を調べた。図33は、不良ビットが発生しないキャパシタを透過電子顕微鏡で見た像に基づく断面図であり、PZT膜中のグレインが柱状に揃っており、PZT膜の(111)配向比率はほぼ100%である。なお、第1実施形態に示したPZTよりなる強誘電体膜13の(111)配向比率は90%以上であって、ほぼ100%かそれに近い値となる。

#### 【0206】

結晶方位がそろっている場合には、デバイス動作を行う数十ナノ秒の時間で強誘電体ドメインの書き込みができるが、結晶方位が異なったものが混在していると、分極反転の伝搬に時間がかかるために、その時間内で反転しないドメインが残ってしまうためにインプリントの現象が起きると考えられている。

#### 【0207】

従って、デバイスとして強誘電体膜を動作させるためには、90%以上の結晶を同一方向に揃える必要がある。

#### (第3の実施の形態)

第1、第2の実施形態では、上部電極と下部電極を上から電氣的に引き出す構造のプレーナー型のキャパシタを有するFeRAMについて説明した。本実施形態では、下部電極を下から電氣的に引き出す構造のスタック型のキャパシタを有するFeRAMのメモリセルについて説明する。

#### 【0208】

図34～図37は、本発明の第3実施形態に係る半導体装置の製造工程を示す

断面図である。

【 0 2 0 9 】

まず、図 3 4 (a) に示す断面構造を形成するまでの工程を説明する。

【 0 2 1 0 】

図 3 4 (a) に示すように、n 型又は p 型のシリコン（半導体）基板 5 1 のトランジスタ形成領域の周囲にフォトリソグラフィ法により素子分離用溝を形成した後に、素子分離用溝の中に酸化シリコン ( $\text{SiO}_2$ ) を埋め込んで S T I 構造の素子分離絶縁膜 5 2 を形成する。なお、L O C O S 法により形成した絶縁膜を素子分離絶縁膜として採用してもよい。

【 0 2 1 1 】

続いて、シリコン基板 5 1 のトランジスタ形成領域に p 型不純物を導入して p ウェル 5 1 a を形成する。さらに、シリコン基板 5 1 のトランジスタ形成領域表面を熱酸化して、ゲート絶縁膜 5 3 となるシリコン酸化膜を形成する。

【 0 2 1 2 】

次に、シリコン基板 5 1 の上側全面に非晶質又は多結晶のシリコン膜及びタングステンシリサイド膜を順次形成し、これらのシリコン膜及びタングステンシリサイド膜をフォトリソグラフィ法によりパターニングして、ゲート電極 5 4 a, 5 4 b を形成する。

【 0 2 1 3 】

なお、1 つの p ウェル 5 1 a 上には 2 つのゲート電極 5 4 a, 5 4 b が並列に形成され、それらのゲート電極 5 4 a, 5 4 b はワード線の一部を構成する。

【 0 2 1 4 】

次に、p ウェル 5 1 a のうちゲート電極 5 4 a, 5 4 b の両側に n 型不純物をイオン注入してソース／ドレインとなる第 1 ～第 3 の n 型不純物拡散領域 5 5 a ～5 5 c を形成する。

【 0 2 1 5 】

さらに、C V D 法により絶縁膜、例えば  $\text{SiO}_2$  膜をシリコン基板 5 1 の全面に形成した後に、その絶縁膜をエッチバックしてゲート電極 5 4 a, 5 4 b の両側部分に絶縁性のサイドウォールスペーサ 5 6 として残す。

## 【 0 2 1 6 】

続いて、ゲート電極 5 4 a, 5 4 b とサイドウォールスペーサ 5 6 をマスクに使用して、第 1 ～第 3 の n 型不純物拡散領域 5 5 a ～ 5 5 c に再び n 型不純物をイオン注入することにより、第 1 ～第 3 の n 型不純物拡散領域 5 5 a ～ 5 5 c を L D D 構造にする。

## 【 0 2 1 7 】

なお、1 つのトランジスタ形成領域における 2 つのゲート電極 5 4 a, 5 4 b の間の第 1 の n 型不純物拡散領域 5 5 a は後述するビット線に電氣的に接続され、トランジスタ形成領域の両端側の第 2、第 3 の n 型不純物拡散領域 5 5 b, 5 5 c は後述するキャパシタの下部電極に電氣的に接続される。

## 【 0 2 1 8 】

以上の工程により、p ウェル 5 1 a には、ゲート電極 5 4 a と L D D 構造の n 型不純物拡散層 5 5 a, 5 5 b を有する第 1 の M O S トランジスタ  $T_4$  と、ゲート電極 5 4 b と L D D 構造の n 型不純物拡散層 5 5 a, 5 5 c を有する第 2 の M O S トランジスタ  $T_5$  が形成される。

## 【 0 2 1 9 】

次に、M O S トランジスタ  $T_4$ ,  $T_5$  を覆うカバー絶縁膜 5 7 として約 2 0 0 n m の厚さの酸化シリコン (SiON) 膜をプラズマ C V D 法によりシリコン基板 5 1 の全面に形成する。その後、T E O S ガスを用いるプラズマ C V D 法により膜厚 1. 0  $\mu$  m 程度の酸化シリコン (SiO<sub>2</sub>) を第 1 層間絶縁膜 5 8 としてカバー絶縁膜 5 7 の上に形成する。

## 【 0 2 2 0 】

続いて、第 1 層間絶縁膜 5 8 の緻密化処理として、例えば常圧の窒素雰囲気中で第 1 層間絶縁膜 5 8 を 7 0 0 °C の温度で 3 0 分間熱処理する。その後に、第 1 層間絶縁膜 5 8 の上面を化学機械研磨 (CMP) 法により平坦化する。

## 【 0 2 2 1 】

次に、図 3 4 (b) に示す構造を形成するまでの工程を説明する。

## 【 0 2 2 2 】

まず、フォトリソグラフィ法によりカバー絶縁膜 5 7 と第 1 層間絶縁膜 5 8 を

パターニングすることにより、第 2 及び第 3 の不純物拡散領域 5 5 b, 5 5 c の上に第 1 及び第 2 のコンタクトホール 5 8 b, 5 8 c を形成する。

## 【 0 2 2 3 】

さらに、第 1 層間絶縁膜 5 8 上面と第 1、第 2 のコンタクトホール 5 8 b, 5 8 c 内面に、グルー膜 5 9 a として膜厚 3 0 n m の Ti 膜と膜厚 5 0 n m の TiN 膜をスパッタ法により順に形成する。さらに、グルー膜 5 9 a 上に W 膜 5 9 b を C V D 法により成長して第 1、第 2 のコンタクトホール 5 8 b, 5 8 c 内を完全に埋め込む。

## 【 0 2 2 4 】

続いて、図 3 4 (c) に示すように、グルー膜 5 9 a 及び W 膜 5 9 b を C M P 法により研磨して第 1 層間絶縁膜 5 8 の上面上から除去する。これにより第 1、第 2 のコンタクトホール 5 8 b, 5 8 c 内に残されたタンゲステン膜、TiN 膜及び Ti 膜をそれぞれ第 1、第 2 導電性プラグ 6 0 b, 6 0 c とする。

## 【 0 2 2 5 】

次に、図 3 5 (a) に示すように、アンモニア ( $\text{NH}_3$ ) ガスのプラズマにより第 1 層間絶縁膜 5 8 表面を改質する。この場合、第 1、第 2 導電性プラグ 6 0 b, 6 0 c が酸化されない。

## 【 0 2 2 6 】

$\text{NH}_3$  プラズマ処理の条件として、例えば、チャンバ内に導入される  $\text{NH}_3$  のガス流量を 3 5 0 sccm、チャンバ内の圧力を 2 Torr、基板温度を 4 0 0  $^{\circ}\text{C}$ 、基板に供給される 1 3. 5 6 MHz の高周波電源のパワーを 1 0 0 W、プラズマ発生領域に供給される 3 5 0 kHz の高周波電源のパワーを 5 5 W、電極・第 1 層間絶縁膜間の距離を 3 5 0 mils、プラズマ照射時間を 6 0 秒に設定する。

## 【 0 2 2 7 】

次に、図 3 5 (b) に示す構造を形成するまでの工程を説明する。

## 【 0 2 2 8 】

まず、第 1、第 2 導電性プラグ 6 0 b, 6 0 c 上と第 1 層間絶縁膜 5 8 上に、中間層（自己配向層） 6 1 として Ti 層をスパッタにより 1 0 n m の厚さに形成する。Ti 層のスパッタ条件として、例えば、スパッタ雰囲気を導入されるアルゴン

ガス圧を 0. 1 5 Pa、スパッタ用 DC パワーを 2. 6 kW、スパッタ時間を 7 秒、基板温度を 2 0 °C に設定する。

## 【 0 2 2 9 】

続いて、中間層 6 1 上に第 1 の導電膜 6 5 として例えば膜厚 2 0 0 nm のイリジウム (Ir) 膜を形成する。Ir 膜のスパッタ条件として、例えば、スパッタ雰囲気を導入されるアルゴンガス圧を 0. 1 1 Pa、スパッタ用 DC パワーを 0. 5 kW、スパッタ時間を 3 3 5 秒、温度を 5 0 0 °C に設定する。

## 【 0 2 3 0 】

なお、第 1 の導電膜 6 5 として、プラチナ (Pt) 膜、酸化プラチナ (PtO) 膜、酸化イリジウム (IrO<sub>x</sub>) 膜、若しくは SRO (ストロンチウムルテニウム酸素) 膜、又は、Ir 膜、Pt 膜、PtO<sub>x</sub> 膜、IrO<sub>x</sub> 膜から選択した多層構造膜を形成してもよい。

## 【 0 2 3 1 】

次に、第 1 の導電膜 6 5 上に、強誘電体膜 6 6 として例えば膜厚 1 2 0 nm の PZT 膜を形成する。強誘電体膜 6 6 は、第 1 実施形態に示したような材料、方法を用いてもよいが、この実施形態では MOCVD (有機金属 CVD) 法で PZT を成長する構図を採用する。

## 【 0 2 3 2 】

MOCVD 法は、液体有機原料を気化器によって気化して反応室内に導入することを特徴としている。即ち、Pb、Zr、Ti のそれぞれの固体原料を有機化合物溶液に溶かし、この溶かした溶液を気化させて、原料ガスを発生させ、その原料ガスを反応室に導入して PZT 膜を形成している。MOCVD 法により PZT を成膜する時の代表的な成長圧力、成長温度、成長時間、原料、流量は、表 7、表 8 に示す通りである。

## 【 0 2 3 3 】

【表 7】

PZT 成膜条件

	成膜圧力	成膜温度	時間
PZT	5 Torr	620 °C	620 秒

【 0 2 3 4 】

【表 8】

溶液名	流量
THF(TetraHydroFuran:C <sub>4</sub> H <sub>8</sub> O)	0.474ml/min
Pb(DPM) <sub>2</sub> (濃度0.3mol/l,THF溶液中に溶解)	0.326ml/min
Zr(dmhd) <sub>4</sub> (濃度0.3mol/l,THF溶液中に溶解)	0.200ml/min
Ti(O-iPr) <sub>2</sub> (DPM) <sub>2</sub> (濃度0.3mol/l,THF溶液中に溶解)	0.200ml/min

【 0 2 3 5 】

続いて、強誘電体膜 6 6 の上に、第 2 の導電膜 6 7 として例えば膜厚 2 0 0 n m の酸化イリジウム(IrO<sub>2</sub>)をスパッタ法により形成する。IrO<sub>2</sub>膜のスパッタ条件として、例えば、スパッタ雰囲気を導入されるアルゴンガス圧を 0. 8 Pa、スパッタ用 DC パワーを 1. 0 kW、スパッタ時間を 7 9 秒、基板温度を常温、例えば 2 0 ℃に設定する。

【 0 2 3 6 】

ここで、第 2 の導電膜 6 7 として IrO<sub>2</sub>膜を用いたのは、水素劣化耐性を向上させるためである。第 2 の導電膜 6 7 として Pt 膜を形成すれば、Pt 膜が水素分子に対して触媒作用があるため、水素ラジカルを発生させ、P Z T 膜を還元させて劣化させやすい。これに対して、IrO<sub>2</sub>膜は触媒作用を持たないので、水素ラジカルを発生させにくく、強誘電体膜の水素劣化耐性が格段に向上する。

【 0 2 3 7 】

その後に、第 2 の導電膜 6 7 の形成により強誘電体膜 6 6 が受けたダメージを元に回復させるために、第 2 の導電膜 6 7 を通して強誘電体膜 6 6 に回復アニールを行う。回復アニールは、ファーンズ内で基板温度 5 5 0 ℃、2 6 0 分間の条件で行われる。

【 0 2 3 8 】

この後に、窒化化チタン、酸化シリコンを順に形成してなるハードマスク（不図示）を第 2 の導電膜 6 7 上に形成する。ハードマスクは、第 1 及び第 2 の導電性プラグ 6 0 b, 6 0 c の上とその周辺の領域に形成され、キャパシタの平面形



状を有している。

【 0 2 3 9 】

そして、図 3 6 (a) に示すように、ハードマスクに覆われない領域の第 2 の導電膜 6 7、強誘電体膜 6 6、第 1 の導電膜 6 5 及び中間層 6 1 を順次エッチングする。第 2 の導電膜 6 7、第 1 の導電膜 6 5 及び中間層 6 1 のエッチングは例えば HBr と  $O_2$  の混合ガスを用いて行われ、強誘電体膜 6 6 のエッチングは塩素を含むガスによって行われる。

【 0 2 4 0 】

これによりハードマスクの下に残された第 2 の導電膜 6 7 をキャパシタ  $Q_0$  の上部電極 6 7 a、強誘電体膜 6 6 をキャパシタ  $Q_0$  の誘電体膜 6 6 a、第 1 の導電膜 6 5 及び導電性の中間膜 6 1 をキャパシタ  $Q_0$  の下部電極 6 5 a とする。

【 0 2 4 1 】

その後に、ハードマスクは除去される。

【 0 2 4 2 】

続いて、エッチングにより受けた強誘電体膜 6 6 のダメージを無くすために、回復アニールを行う。この場合の回復アニールは、例えば、基板温度 6 5 0℃、6 0 分間の条件で酸素雰囲気中で行われる。

【 0 2 4 3 】

次に、図 3 6 (b) に示すように、第 1 層間絶縁膜 5 8 及びキャパシタ  $Q_0$  の上にキャパシタ保護絶縁膜 6 9 として膜厚 1 0 n m のアルミナを C V D 法により形成する。その後に、酸素雰囲気中で 6 5 0℃、6 0 分間の条件でキャパシタ  $Q_0$  をアニールする。キャパシタ保護絶縁膜 6 9 は、プロセスダメージからキャパシタ  $Q_0$  を保護するものである。

【 0 2 4 4 】

その後、T E O S ガスを用いるプラズマ C V D 法により、厚さ 1 . 0  $\mu$  m 程度の第 2 層間絶縁膜 7 0 として酸化シリコン ( $SiO_2$ ) をキャパシタ保護絶縁膜 1 9 上に形成する。

【 0 2 4 5 】

さらに、第 2 層間絶縁膜 7 0 上面を C M P 法により平坦化する。例えば、C M

P後の第2層間絶縁膜20の残りの膜厚を、キャパシタ $Q_0$ の上部電極67a上で300nm程度とする。

## 【0246】

次に、図37(a)に示す構造を形成するまでの工程を説明する。

## 【0247】

まず、レジストマスク（不図示）を用いて、第1、第2層間絶縁膜58、70、キャパシタ保護絶縁膜69及びカバー絶縁膜57をエッチングすることにより第1のn型不純物拡散領域55aの上にホール58dを形成する。

## 【0248】

さらに、ホール58d内と第2層間絶縁膜70上に、グルー膜として膜厚30nmのTi膜と膜厚50nmのTiN膜をスパッタ法により順に形成する。さらに、CVD法によりW膜をグルー層上に成長するとともにホール58d内を完全に埋め込む。

## 【0249】

続いて、W膜、TiN膜及びTi膜をCMP法により研磨して第2層間絶縁膜70の上面から除去する。そして、ホール58d内に残されたタングステン膜及びグルー層を、第3の導電性プラグ60dとする。この第3の導電性プラグ60dは第1の不純物拡散領域55aに電氣的に接続される。

## 【0250】

次に、図37(b)に示す構造を形成するまでの工程を説明する。

## 【0251】

まず、第3導電性プラグ60d上と第2層間絶縁膜70上に、酸化防止膜（不図示）としてSiON膜をCVD法により100nmの厚さに形成する。さらに、酸化防止膜（不図示）、第2層間絶縁膜70及びキャパシタ保護絶縁膜69をフォトリソグラフィー法によりパターニングしてキャパシタ $Q_0$ の上部電極67a上にコンタクトホール72を形成する。

## 【0252】

コンタクトホール72を形成することによりダメージを受けたキャパシタ $Q_0$ はアニールによって回復される。そのアニールは、例えば酸素雰囲気中で基板温

度 5 5 0℃として 6 0 分間行われる。

【 0 2 5 3 】

その後に、第 2 層間絶縁膜 7 0 上に形成された酸化防止膜をエッチバックによって除去するとともに、第 3 の導電性プラグ 6 0 d の表面を露出させる。

【 0 2 5 4 】

さらに、キャパシタ  $Q_0$  の上部電極 6 7 a 上のコンタクトホール 7 2 内と第 2 層間絶縁膜 7 0 の上に金属膜を形成する。その後に、金属膜をパターニングすることにより、第 3 の導電性プラグ 6 0 d に接続される導電性パッド 7 3 a と、コンタクトホール 7 2 を通して上部電極 6 7 a に接続される一層目金属配線 7 3 b、7 3 c を形成する。その金属膜として、例えば、膜厚 6 0 n m の Ti、膜厚 3 0 n m の TiN、膜厚 4 0 0 n m の Al-Cu、膜厚 5 n m の Ti、及び膜 7 0 n m の TiN を順に形成した多層構造を採用する。

【 0 2 5 5 】

さらに、第 2 層間絶縁膜 7 0、一層目金属配線 7 3 b、7 3 c 及び導電性パッド 7 3 a の上に第 3 層間絶縁膜 7 4 を形成する。続いて、第 3 層間絶縁膜 7 4 をパターニングして導電性パッド 7 3 a の上にホール 7 4 a を形成し、そのホール 7 4 a 内に下から順に TiN 膜及び W 膜からなる第 4 の導電性プラグ 7 5 を形成する。

【 0 2 5 6 】

その後に、第 3 層間絶縁膜 7 4 上に金属膜を形成し、これをフォトリソグラフィ法によりパターニングすることにより、第 4 の導電性プラグ 7 5 に接続されるビット線 7 6 を形成する。ビット線 7 6 は、第 4 の導電性プラグ 7 5、導電性パッド 7 3 a 及び第 3 導電性プラグ 6 0 d を介して第 1 の n 型不純物拡散領域 5 5 a に電氣的に接続される。それに続いて、二層目配線層を覆う絶縁膜等が形成されるが、その詳細は省略する。

【 0 2 5 7 】

上記した本実施形態において、キャパシタ  $Q_0$  の底面の面積に対する第 1 及び第 2 の導電性プラグ 6 0 b、6 0 c 上端の面積の割合は 1 0 % 程度であるので、 $NH_3$  プラズマ処理による第 1 層間絶縁膜 5 8 の膜質の改善は第 1 実施形態と同様

に、強誘電体膜 6 6 の結晶性改善になり、この結果、キャパシタ  $Q_0$  のスイッチング電荷量  $Q_{sw}$  の増加が見られる。

(第 4 の実施の形態)

第 3 の実施の形態では、強誘電体膜 6 6 を MOCVD 法により形成する工程を含む F e R A M のメモリセル及びその製造工程を中心に説明した。

【 0 2 5 8 】

しかし、MOCVD 法に用いられる酸素と基板温度によって、第 1 及び第 2 の導電性プラグ 6 0 a , 6 0 c を構成するタングステンが酸化されて膨張するおそれもある。

【 0 2 5 9 】

そこで、本実施形態では、強誘電体膜 6 6 を MOCVD 法により形成する場合に、第 1 及び第 2 の導電性プラグ 6 0 a , 6 0 c の酸化を防止する工程を含むメモリセル及びその製造工程について説明する。

【 0 2 6 0 】

図 3 8 ～図 4 3 は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図である。

【 0 2 6 1 】

まず、図 3 8 (a) に示すように、第 3 実施形態に示した工程によりシリコン基板 5 1 に MOS トランジスタ  $T_4$  ,  $T_5$  を形成し、さらに、カバー層 5 7、第 1 層間絶縁膜 5 8 を形成する。

【 0 2 6 2 】

次に、図 3 8 (b) に示すように、レジストパターン（不図示）を用いて第 1 層間絶縁膜 5 8 とカバー絶縁膜 5 7 をエッチングして、メモリセル領域の第 1、第 2 及び第 3 の n 型不純物拡散領域 5 5 a , 5 5 b , 5 5 c の上にそれぞれ第 1、第 2 及び第 3 のコンタクトホール 5 8 a , 5 8 b , 5 8 c を形成する。

【 0 2 6 3 】

次に、図 3 9 (a) に示す構造を形成するまでの工程を説明する。

【 0 2 6 4 】

まず、第 1 層間絶縁膜 5 8 上面と第 1 ～第 3 のコンタクトホール 5 8 a ～ 5 8

c 内面に、グルー層 5 9 a として厚さ 2 0 n m のチタン (Ti) 層と厚さ 5 0 n m の窒化チタン (TiN) 層をスパッタ法により順に形成する。さらに、 $WF_6$  を用いる CVD 法によって、タングステン (W) 層 5 9 b をグルー層 5 9 a 上に成長してコンタクトホール 5 8 a ~ 5 8 c 内を完全に埋め込む。

## 【 0 2 6 5 】

続いて、タングステン層 5 9 b とグルー層 5 9 a を CMP 法により研磨して第 1 層間絶縁膜 5 8 の上面上から除去する。これにより、第 1、第 2 及び第 3 のコンタクトホール 5 8 a, 5 8 b, 5 8 c 内にそれぞれ残されたタングステン層 9 b 及びグルー層 5 9 a は、第 1、第 2 及び第 3 の導電性プラグ 6 0 a, 6 0 b, 6 0 c として使用される。第 1、第 2 及び第 3 の導電性プラグ 6 0 a, 6 0 b, 6 0 c は、それぞれ第 1、第 2 及び第 3 の n 型不純物拡散領域 5 5 a, 5 5 b, 5 5 c に接続される。

## 【 0 2 6 6 】

次に、図 3 9 (b) に示すように、第 1 ~ 第 3 の導電性プラグ 6 0 a ~ 6 0 c の上と第 1 層間絶縁膜 5 8 の上に、導電性の酸素バリアメタル層 6 2 としてイリジウム層をスパッタにより形成する。

## 【 0 2 6 7 】

Ir 膜のスパッタ条件として、例えば、スパッタ雰囲気を導入されるアルゴンガス圧を 0. 1 1 Pa、スパッタ用 DC パワーを 0. 5 kW、温度を 5 0 0 °C に設定する。

## 【 0 2 6 8 】

Ir 層は、p ウェル 5 1 a の両側寄りの第 2、第 3 の導電性プラグ 6 0 b, 6 0 c の異常酸化を防止するために十分な厚さに形成される。例えば、イリジウム層は、酸素含有雰囲気中で 5 5 0 °C の基板温度でアニールする際に導電性プラグ 6 0 a ~ 1 0 c の異常酸化を防止するために例えば 2 0 0 ~ 4 0 0 n m の厚さに形成される。

## 【 0 2 6 9 】

続いて、酸素バリアメタル層 6 2 のうち少なくとも第 2、第 3 の導電性プラグ 6 0 b, 6 0 c の上の領域に、キャパシタ平面形状のマスク (不図示) を形成す

る。マスクとして、レジストパターンを形成する。

#### 【 0 2 7 0 】

次に、図 4 0 (a) に示すように、マスクに覆われない領域の酸素バリアメタル層 6 2 をエッチングすることにより、酸素バリアメタル層 6 2 を第 2、第 3 の導電性プラグ 6 0 b, 6 0 c の上とその周辺に島状に残す。これにより、第 1 の導電性プラグ 6 0 a は露出する。その後にマスクは除去される。なお、マスクとして窒化チタン、酸化シリコン等のハードマスクを用いてもよい。

#### 【 0 2 7 1 】

さらに、図 4 0 (b) に示すように、第 1 の導電性プラグ 6 0 a、酸素バリアメタル層 6 2 及び第 1 層間絶縁膜 5 8 の上に酸化防止絶縁膜 6 3 として酸化窒化シリコン (SiON) 層又は窒化シリコン ( $\text{Si}_3\text{N}_4$ ) 層を CVD 法により例えば 1 0 0 nm の厚さに形成する。厚さ 1 0 0 nm の SiON 層又は  $\text{Si}_3\text{N}_4$  層は、約 6 5 0 °C の酸素アニール下で、第 1 の導電性プラグ 6 0 a の酸化を防止する能力を有する。

#### 【 0 2 7 2 】

続いて、酸化防止絶縁膜 6 3 上に絶縁性密着層 6 4 を形成する。絶縁性密着層 6 4 は、後述するキャパシタ下部電極との密着性を向上するために形成されている。

#### 【 0 2 7 3 】

絶縁性密着層 6 4 として、例えば TEOS を用いる CVD 法により 1 0 0 nm の厚さの酸化シリコン ( $\text{SiO}_2$ ) 層を形成する。

#### 【 0 2 7 4 】

次に、図 4 1 (a) に示すように、酸素バリアメタル層 6 2 をストッパー層として機能させて、絶縁性密着層 6 4 と酸化防止絶縁膜 6 3 を CMP により研磨して酸素バリアメタル層 6 2 の上面を露出させる。この場合、酸素バリアメタル層 6 2、絶縁性密着層 6 4 及び酸化防止絶縁膜 6 3 の研磨面は平坦になる。

#### 【 0 2 7 5 】

続いて、アンモニア ( $\text{NH}_3$ ) ガスのプラズマにより第 1 層間絶縁膜 5 8 表面を改質する。この場合、第 1、第 2 導電性プラグ 6 0 a, 6 0 c は酸化されない。

#### 【 0 2 7 6 】

$\text{NH}_3$  プラズマ処理の条件として、例えば、チャンバ内に導入される $\text{NH}_3$  のガス流量を 3 5 0 sccm、チャンバ内の圧力を 2 Torr、基板温度を 4 0 0 °C、基板に供給される 1 3 . 5 6 MHz の高周波電源のパワーを 1 0 0 W、プラズマ発生領域に供給される 3 5 0 kHz の高周波電源のパワーを 5 5 W、電極・第 1 層間絶縁膜間の距離を 3 5 0 mils、プラズマ照射時間を 6 0 秒に設定する。

## 【 0 2 7 7 】

この後に、図 4 1 (b) に示すように、酸素バリアメタル層 6 2、酸化防止絶縁膜 6 3 及び絶縁性密着層 6 4 の上に、中間層 6 1、第 1 の導電膜 6 5 を順に形成する。中間層 6 1 として例えば厚さ 1 0 n m の Ti 層を形成し、第 1 の導電膜 6 5 として例えば厚さ 2 0 0 n m の Ir 膜をスパッタにより順に形成する。

## 【 0 2 7 8 】

それらの中間層 6 1、第 1 の導電膜 6 5 の形成条件は、第 3 実施形態に示した条件と同じにする。

## 【 0 2 7 9 】

続いて、第 1 の導電膜 6 5 上に、強誘電体層 6 6 として例えば厚さ 2 0 0 n m の P Z T 層を M O C V D 法により形成する。

## 【 0 2 8 0 】

M O C V D 法により P Z T 層は、次のような条件で形成される。

## 【 0 2 8 1 】

チャンバ（不図示）内に置かれたシリコン基板 1 上での P Z T 膜の成長温度を 6 2 0 °C とする。そして、P Z T 膜を構成する元素のうち、Pb の原料として  $\text{Pb}(\text{DPM})_2$ 、Zr の原料として  $\text{Zr}(\text{dmhd})_4$ 、Ti の原料として、 $\text{Ti}(\text{O-iPr})_2(\text{DPM})_2$  が用いられる。それらの原料は、T H F にモル比 3 % の濃度で溶解させて液状にされた状態で気化器に搬送され、気化器では例えば 2 6 0 °C の温度で T H F とともに気化され、酸素と混合した後にシャワーヘッドを通してチャンバ内の第 1 の導電膜 1 3 上に吹き付けられる。

## 【 0 2 8 2 】

チャンバ内に導入される原料ガスの流量は、成長初期の 2 0 秒間では Pb 原料ガスが 0 . 3 6 5 ml/min.、Zr 原料ガスが 0 . 1 9 6 ml/min.、Ti 原料ガスが 0 .

1 7 5 ml/min. に設定され、その後の 5 0 5 秒間では Pb 原料ガスが 0. 3 7 6 ml/min.、Zr 原料ガスが 0. 2 7 7 ml/min.、Ti 原料ガスが 0. 2 1 4 ml/min. に設定される。

【 0 2 8 3 】

そのような条件により形成された P Z T 膜の厚さは 1 2 0 nm であり、その組成は  $Pb/(Zr + Ti) = 1. 1 7$ 、 $Zr/(Zr + Ti) = 0. 4 3$  であった。

【 0 2 8 4 】

MOCVD 法により形成された P Z T 膜は、結晶化されているので、結晶化のためのアニールは省略される。

【 0 2 8 5 】

なお、強誘電体膜 6 6 の形成は、第 1 実施形態と同じように、スパッタ、ゾルゲル法、COD 法等を採用して P Z T 層を形成してもよい。また、強誘電体層 6 6 の材料として、P Z T 以外に、第 1 実施形態に示した材料を用いてもよい。

【 0 2 8 6 】

続いて、強誘電体層 6 6 の上に、第 2 の導電膜 6 7 として例えば厚さ 2 0 0 nm の酸化イリジウム ( $IrO_2$ ) をスパッタ法により形成する。

【 0 2 8 7 】

次に、第 2 の導電膜 6 7 上に、TiN と  $SiO_2$  を有するハードマスク（不図示）を形成する。ハードマスクは、第 2 及び第 3 の導電性プラグ 6 0 b, 6 0 c 上の酸素バリアメタル層 6 2 の上方とその周辺にキャパシタ平面形状となるようにパターンニングされている。

【 0 2 8 8 】

続いて、ハードマスクに覆われない領域の第 2 の導電膜 6 7、強誘電体層 6 6、第 1 の導電膜 6 5、中間層 6 1 を順次エッチングすることにより、酸素バリアメタル層 6 2、絶縁性密着層 6 4 及び酸化防止絶縁膜 6 3 の上にキャパシタ  $Q_1$  を形成する。この場合のエッチング条件は、第 3 実施形態と同様にする。

【 0 2 8 9 】

キャパシタ  $Q_1$  は、図 4 2 (a) に示すように、中間層 6 1 及び第 1 の導電膜 6 5 からなる下部電極 6 5 a と、強誘電体層 6 6 からなる誘電体層 6 6 a と、第 2



の導電膜 6 5 からなる上部電極 6 5 a から構成される。

【 0 2 9 0 】

1 つのウェル 5 1 a の上方には 2 つのキャパシタ  $Q_1$  が形成され、それらの下部電極 6 5 a はそれぞれ第 2 又は第 3 の導電性プラグ 6 0 b, 6 0 c を介して第 2 又は第 3 の n 型不純物拡散領域 5 5 b, 5 5 c に電氣的に接続される。

【 0 2 9 1 】

ハードマスクは、キャパシタ  $Q_1$  のパターン形成後に除去される。

【 0 2 9 2 】

次に、エッチングによるダメージから強誘電体層 6 6 の質を回復するために、キャパシタの回復アニールを行う。この場合の回復アニールは、例えば、基板温度 6 5 0℃、6 0 分間の条件で酸素を含むファーンネス内で行われる。

【 0 2 9 3 】

このように強誘電体層 6 6 のパターニング直後に回復アニールなどの熱処理を施す場合、下部電極 6 5 a 直下の第 2, 第 3 の導電性プラグ 6 0 b, 6 0 c の耐熱性は、酸素バリアメタル層 6 2 の酸素透過性で決まり、また、下部電極 6 5 a 直下に位置しない第 1 の導電性プラグ 6 0 a の耐酸化性は、絶縁性密着層 6 4 と酸化防止絶縁膜 6 3 の酸素透過性で決まる。

【 0 2 9 4 】

上記のような熱プロセスがキャパシタ  $Q_1$  を形成する際にはかかるわけであるが、酸化防止絶縁膜 6 3 として窒化シリコン層を用いた場合に厚さが 7 0 n m であればタングステンからなる第 1 の導電性プラグ 6 0 a は異常酸化しない。

【 0 2 9 5 】

次に、図 4 2 (b) に示すように、キャパシタ保護層 6 9 として厚さ 5 0 n m のアルミナをスパッタによりキャパシタ  $Q_1$  と絶縁性密着層 6 4 の上に形成する。このキャパシタ保護層 6 9 は、プロセスダメージからキャパシタ  $Q_1$  を保護するものであって、アルミナの他、P Z T で構成してもよい。

【 0 2 9 6 】

続いて、6 5 0℃で 6 0 分間の条件でキャパシタ  $Q_1$  をファーンネス内の酸素雰囲気内でアニールする。

## 【 0 2 9 7 】

その後、HDP (High Density Plasma) 装置を用いて、プラズマCVD法により、第2層間絶縁膜70として厚さ1.0  $\mu$ m程度の酸化シリコン ( $\text{SiO}_2$ ) をキャパシタ保護層69上に形成する。

## 【 0 2 9 8 】

さらに、第2層間絶縁膜70の上面をCMP法により平坦化する。この例では、CMP後の第2層間絶縁膜70の残りの厚さは、上部電極67a上で300nm程度とする。

## 【 0 2 9 9 】

次に、図43に示す構造を形成するまでの工程を説明する。

## 【 0 3 0 0 】

まず、レジストマスク（不図示）を用いて、第2層間絶縁膜70、キャパシタ保護層69、絶縁性密着層64及び酸化防止絶縁膜63をエッチングすることにより、第1の導電性プラグ60aの上に第4のコンタクトホール70aを形成する。

## 【 0 3 0 1 】

続いて、第4のコンタクトホール70a内と第2層間絶縁膜70上に、グルー層として厚さ50nmのTiN層をスパッタ法により順に形成する。さらに、CVD法によりタングステン層をグルー層の上に成長して第4のコンタクトホール70a内を完全に埋め込む。

## 【 0 3 0 2 】

さらに、タングステン層、グルー層をCMP法により研磨して第2層間絶縁膜70の表面上から除去する。そして、第4のコンタクトホール70a内に残されたタングステン層及びグルー層を第4の導電性プラグ71とする。

## 【 0 3 0 3 】

これにより、第4の導電性プラグ71は、第1の導電性プラグ60aに接続されてvia-to-viaコンタクトとなり、第1の不純物拡散領域55aに電氣的に接続される。

## 【 0 3 0 4 】

次に、窒素プラズマ雰囲気中で第2層間絶縁膜70を350℃、120秒の条件でアニールする。

## 【0305】

次に、第4の導電性プラグ71上と第2層間絶縁膜70上に、第2の酸化防止層（不図示）としてSiON層をCVD法により100nmの厚さに形成する。

## 【0306】

続いて、第2の酸化防止層、第2層間絶縁膜70及びキャパシタ保護層69をフォトリソグラフィ法によりパターニングしてキャパシタ $Q_1$ の上部電極67a上にホール72を形成する。ホール72を形成することによりダメージを受けたキャパシタ $Q_1$ はアニールによって回復される。そのアニールは、例えば酸素含有雰囲気中で基板温度550℃として60分間行われる。

## 【0307】

次に、第2層間絶縁膜70上に形成された第2の酸化防止層をエッチバックによって除去する。これにより、第4の導電性プラグ71の表面が露出する。

## 【0308】

続いて、キャパシタ $Q_1$ の上部電極67a上のホール72内と第2層間絶縁膜70の上に第3実施形態と同じ構造の金属膜を形成する。

## 【0309】

その後に、金属膜をパターニングすることにより、第4の導電性プラグ71に接続される導電性パッド73aと、ホール72を通して上部電極67aに接続される一層目の金属配線73b、73cとを形成する。

## 【0310】

この後に、第3実施形態と同じ方法によって、第3層間絶縁膜74、第5の導電性プラグ75、ビット線76などを形成する。

## 【0311】

上記した本実施形態において、キャパシタ $Q_1$ に対する島状の酸素バリアメタル層62に対するの面積の割合は10%程度であり、 $NH_3$ プラズマに曝された絶縁性密着層64の上のキャパシタ $Q_1$ を構成する下部電極65aの結晶配向方向が揃い、その上の強誘電体膜66は結晶性が従来よりも改善され、この結果、

キャパシタ $Q_1$ のスイッチング電荷量 $Q_{sw}$ の増加が見られる。

【0312】

即ち、第1の導電膜65（下部電極64a）の（111）配向強度が高くなり、第1の導電膜65上に620℃の高い基板温度でMOCVD法によりPZT強誘電体膜66を形成すると、強誘電体膜66を構成するグレインのうち90%以上が（111）配向に揃う。これにより、第2実施形態と同様に、本実施形態のメモリセルのインプリント特性が向上した。

【0313】

また、MOCVD法により強誘電体膜66を形成する際には、タングステンよりなる導電性プラグ60b、60cが酸化バリアメタル層62に覆われているので、酸素による導電性プラグ60b、60cの異常酸化が発生しない。

【0314】

ただし、強誘電体膜66の成長温度が高すぎると導電性プラグ60b、60cが酸化され易い。従って、導電性プラグ60b、60cの酸化を防止するためには650℃以下の温度が好ましい。また、PZT膜でのグレインの（111）配向比率を90%以上にするためには、600℃以上の成長温度が必要となる。

【0315】

これらのことから、導電性プラグ60b、60cが下部電極65aに接続するスタック構造のキャパシタ $Q_1$ の形成工程においては、強誘電体膜66を600～650℃の成長温度で形成することが好ましい。

【0316】

なお、第3実施形態と同じように、図39(a)に示す状態で、第1の層間絶縁膜58の表面を $NH_3$ プラズマ処理を行い、かつその上にTi膜を介して酸素バリアメタル膜62を形成してもよい。

（第5の実施の形態）

本実施形態では、酸素バリアメタル層62として形成されるイリジウム層をキャパシタ $Q$ の下部電極14aの一部を構成する構造について説明する。

【0317】

図44～図48は、本発明の第5実施形態の半導体装置の製造工程を示す断面

図である。

【 0 3 1 8 】

まず、図 4 4 (a) に示す構造を形成するまでの工程を説明する。

【 0 3 1 9 】

第 4 実施形態に示した工程によりシリコン基板 5 1 に MOS トランジスタ  $T_4$  ,  $T_5$  を形成し、カバー層 5 7、第 1 層間絶縁膜 5 8 を形成し、さらに第 1 ～第 3 の導電性プラグ 6 0 a ～ 6 0 c を形成する。

【 0 3 2 0 】

この後に、第 3 実施形態と同様な条件により、 $NH_3$  ガスのプラズマにより第 1 層間絶縁膜 5 8 表面を改質する。この場合、第 1 ～第 3 導電性プラグ 6 0 a ～ 6 0 c は酸化されない。

【 0 3 2 1 】

続いて、図 4 4 (b) に示すように、第 1 層間絶縁膜 5 8 及び第 1 ～第 3 導電性プラグ 6 0 a ～ 6 0 c の上に、中間層 6 1 として Ti 層をスパッタにより 1 0 n m の厚さに形成する。Ti 層のスパッタ条件として、例えば、スパッタ雰囲気を導入されるアルゴンガス圧を 0 . 1 5 Pa、スパッタ用 DC パワーを 2 . 6 kW、スパッタ時間を 7 秒、温度を 2 0 °C に設定する。

【 0 3 2 2 】

次に、図 4 5 (a) に示すように、中間層 6 1 の上に導電性の酸素バリアメタル層 6 2 a としてイリジウム層をスパッタにより形成する。この酸素バリアメタル層 6 2 a は、後述するようにキャパシタ Q の下部電極の一部となる。Ir 膜のスパッタ条件として、例えば、スパッタ雰囲気を導入されるアルゴンガス圧を 0 . 1 1 Pa、スパッタ用 DC パワーを 0 . 5 kW、温度を 5 0 0 °C に設定する。

【 0 3 2 3 】

酸素バリアメタル層 6 2 a となる Ir 層は、導電性プラグ 6 0 a ～ 6 0 c の異常酸化を防止するために十分な厚さに形成され、例えば酸素含有雰囲気中で 5 5 0 °C の基板温度でアニールする際に導電性プラグ 6 0 a ～ 6 0 c の異常酸化を防止するために例えば 2 0 0 n m の厚さに形成され、さらに基板温度が 1 0 0 °C 上がるごとに厚さを 1 0 0 n m ずつ加えて形成される。即ち、イリジウム層が 4 0 0

n m あれば、イリジウム層は 7 5 0℃ の酸素アニールに対して導電性プラグ 6 0 a ~ 6 0 c の酸化を防止できる。

#### 【 0 3 2 4 】

続いて、酸素バリアメタル層 6 2 a のうち第 2、第 3 の導電性プラグ 6 0 b, 6 0 c の上方とその周辺の領域にマスク  $M_1$  を形成する。マスク  $M_1$  の平面形状は後述するキャパシタの下部電極の形状とする。マスク  $M_1$  としてレジストを用いてもよいし、窒化チタン、酸化シリコン等のハードマスクを用いてもよい。

#### 【 0 3 2 5 】

次に、図 4 5 (b) に示すように、マスク  $M_1$  に覆われない領域の酸素バリアメタル層 6 2 a 及び中間層 6 1 をエッチングすることにより、酸素バリアメタル層 6 2 a 及び中間層 6 1 を第 2、第 3 の導電性プラグ 6 0 b, 6 0 c の上とその周辺の第 1 の絶縁性密着層 6 1 の上にキャパシタの大きさに残す。酸素バリアメタル層 6 2 a のエッチングガスとしてハロゲン系ガスが使用される。これにより、第 1 の導電性プラグ 1 0 a は露出する。

#### 【 0 3 2 6 】

続いて、マスク  $M_1$  が除去される。

#### 【 0 3 2 7 】

その後、図 4 6 (a) に示すように、第 1 の導電性プラグ 6 0 a、酸素バリアメタル層 6 2 a 及び第 1 層間絶縁膜 5 8 の上に、酸化防止絶縁膜 6 3 として酸化窒化シリコン ( $\text{SiON}$ ) 層又は窒化シリコン ( $\text{Si}_3\text{N}_4$ ) 層を CVD 法により例えば 1 0 0 n m の厚さに形成する。続いて、酸化防止絶縁膜 6 3 上に、絶縁性密着層 6 4 a として例えば TEOS を用いる CVD 法により例えば厚さ 3 0 0 n m の酸化シリコン ( $\text{SiO}_2$ ) 層を形成する。

#### 【 0 3 2 8 】

さらに、図 4 6 (b) に示すように、酸素バリアメタル層 6 2 a をストッパー層として機能させて、CMP により絶縁性密着層 6 4 a と酸化防止絶縁膜 6 3 を研磨することにより酸素バリアメタル層 6 2 a の上面を露出させる。この場合、酸素バリアメタル層 6 2 a、第 2 の絶縁性密着層 6 4 a 及び酸化防止絶縁膜 6 3 の上面は、CMP によって平坦化される。

## 【 0 3 2 9 】

この後に、図 4 7 (a) に示すように、酸素バリアメタル層 6 2 a、酸化防止絶縁膜 6 3 及び絶縁性密着層 6 4 a の上に、第 1 の導電膜 6 5 b として例えば厚さ 3 0 n m の Ir 層をスパッタにより順に形成する。

## 【 0 3 3 0 】

なお、第 1 の導電膜 6 5 b を形成する前又は後に、第 4 実施形態と同様に、絶縁性密着層 6 4 a を  $\text{NH}_3$  プラズマに曝してもよい。

## 【 0 3 3 1 】

続いて、第 1 の導電膜 6 5 b 上に、強誘電体層 6 6 として例えば厚さ 2 0 0 n m の P Z T 層を M O C V D 法により形成する。M O C V D 法による強誘電体層 6 6 の形成条件は第 4 実施形態と同様に設定される。

## 【 0 3 3 2 】

なお、強誘電体層 6 6 の形成方法は、第 1 実施形態に示した他の方法を採用してもよい。また、強誘電体層 6 6 の材料として、P Z T 以外に、第 1 実施形態に示した材料を採用してもよい。

## 【 0 3 3 3 】

続いて、強誘電体層 6 6 の上に、第 2 の導電膜 6 7 として例えば厚さ 2 0 0 n m の  $\text{IrO}_2$  層をスパッタ法により形成する。

## 【 0 3 3 4 】

次に、第 2 の導電膜 6 7 上に TiN 層と  $\text{SiO}_2$  層を順に形成する。TiN 層はスパッタにより形成され、また、 $\text{SiO}_2$  層は T E O S を用いる C V D 法により形成される。TiN 層と  $\text{SiO}_2$  層は、第 2、第 3 の導電性プラグ 6 0 b、6 0 c の上方で酸素バリアメタル層 6 2 a とほぼ同じ平面形状にパターニングされることによりハードマスク  $M_2$  となる。

## 【 0 3 3 5 】

続いて、ハードマスク  $M_2$  に覆われない領域の第 2 の導電膜 6 7、強誘電体層 6 6、第 1 の導電膜 6 5 b を順次エッチングする。なお、そのエッチングにより絶縁性密着層 6 4 a がエッチングされても、その下の酸化防止絶縁膜 6 3 がエッチングストッパーとして機能するので、第 1 の導電性プラグ 6 0 a が露出するこ

とはない。

【 0 3 3 6 】

以上により、図 4 7 (b) に示すように、第 1 層間絶縁膜 5 8 上にはキャパシタ  $Q_2$  が形成される。キャパシタ  $Q_2$  の下部電極 6 5 a は、第 1 の導電膜 6 5 b、酸素バリアメタル層 6 2 a 及び中間層 6 1 によって構成される。また、キャパシタ  $Q_2$  の誘電体層 6 6 a は強誘電体層 6 6 から構成され、さらにキャパシタ  $Q_2$  の上部電極 6 7 a は第 2 の導電膜 6 7 から構成される。

【 0 3 3 7 】

キャパシタ  $Q_2$  は、1つのウェル 5 1 a の上方に 2 つ配置され、それらの下部電極 6 5 a はそれぞれ第 2 又は第 3 の導電性プラグ 6 0 b、6 0 c を介して第 2 又は第 3 の n 型不純物拡散領域 5 5 b、5 5 c に電氣的に接続される。

【 0 3 3 8 】

ハードマスク  $M_2$  は、キャパシタ  $Q_2$  のパターン形成後に除去される。

【 0 3 3 9 】

次に、強誘電体層 6 6 の膜質をエッチングによるダメージから回復するためにキャパシタ  $Q_2$  の回復アニールを行う。この場合の回復アニールは、例えば、基板温度 6 5 0℃、6 0 分間の条件で酸素を含むファーネス内で行われる。

【 0 3 4 0 】

このように強誘電体層 6 6 のパターニング直後に回復アニールなどの熱処理を施す場合、下部電極 6 5 a 直下の第 2、第 3 の導電性プラグ 6 0 b、6 0 c の耐熱性は、酸素バリアメタル層 6 2 a の酸素透過性で決まり、また、下部電極 6 5 a 直下に位置しない第 1 の導電性プラグ 6 0 a の耐酸化性は、第 2 の絶縁性密着層 6 4 a と酸化防止絶縁膜 6 3 の酸素透過性で決まる。

【 0 3 4 1 】

次に、図 4 8 に示す構造を形成するまでの工程について説明する。

【 0 3 4 2 】

まず、キャパシタ  $Q_2$ 、酸化防止絶縁膜 6 4 及び第 2 の絶縁性密着層 6 4 a 上に、キャパシタ保護層 6 9 として厚さ 5 0 n m のアルミナをスパッタにより形成する。さらに、第 3 実施形態に示した工程に従って、第 4 導電性プラグ 7 1、導



電性パッド 7 3 a、一層目配線 7 3 b、7 3 c、第 3 層間絶縁膜 7 4、第 5 の導電性プラグ 7 5、ビット線 7 6 等を形成する。

#### 【 0 3 4 3 】

以上の工程において、 $\text{NH}_3$  プラズマ処理された第 1 の絶縁性密着層 6 1 の上に中間層 6 1、酸素バリアメタル層 6 2 a が形成され、中間層 6 1、酸素バリアメタル層 6 2 a は下部電極 6 5 a の一部を構成する。

#### 【 0 3 4 4 】

従って、酸素バリアメタル層 6 2 a だけでなく、その上の第 1 の導電膜 6 5 ( 下部電極 6 5 a ) の ( 1 1 1 ) 配向強度も高くなり、第 1 の導電膜 6 5 上に 6 2 0℃ の高い基板温度で MOCVD 法により PZT 強誘電体膜 6 6 を形成すると、強誘電体膜 6 6 を構成するグレインのうち 9 0 % 以上を ( 1 1 1 ) 配向に揃えることができ、第 2 実施形態と同様にメモリセルのインプリント特性が向上する。

#### 【 0 3 4 5 】

しかも、MOCVD 法により強誘電体膜 6 6 を形成する際には、タングステンよりなる導電性プラグ 6 0 b、6 0 c が酸化バリアメタル層 6 2 a に覆われているので、導電性プラグ 6 0 b、6 0 c の異常酸化が発生しない。

#### 【 0 3 4 6 】

なお、キャパシタ  $Q_2$  の形成工程においては、第 4 実施形態と同様に、強誘電体膜 6 6 を 6 0 0 ~ 6 5 0℃ の成長温度で形成することが好ましい。

#### 【 0 3 4 7 】

ところで、上記した実施形態では、N-H 結合を有するガスのプラズマに絶縁膜を曝した後に、絶縁膜の上に中間層、第 1 の導電膜をスパッタによって形成したが、プラズマ CVD 法、MOCVD 法、メッキ法によって形成してもよい。

( 付記 1 ) 半導体基板の上方に絶縁膜を形成する工程と、

水素と窒素が結合した分子構造を有するガスのプラズマを励起して前記絶縁膜に照射する工程と、

前記絶縁膜の上に自己配向性を有する物質からなる自己配向層を形成する工程と、

前記自己配向層の上に自己配向性を有する導電物質からなる第 1 の導電膜を形

成する工程と

を有することを特徴とする半導体装置の製造方法。

(付記 2) 前記ガスはアンモニアガスであることを特徴とする付記 1 に記載の半導体装置の製造方法。

(付記 3) 前記プラズマを前記絶縁膜に照射した後に、前記絶縁膜を真空雰囲気にした状態を維持しつつ、前記自己配向層が前記絶縁膜上に形成されることを特徴とする付記 1 又は付記 2 に記載の半導体装置の製造方法。

(付記 4) 前記真空状態は、 $1 \times 10^{-3}$  Torr 以下の圧力であることを特徴とする付記 3 に記載の半導体装置の製造方法。

(付記 5) 前記プラズマを前記絶縁膜に照射した後であって前記自己配向膜の形成前に、前記絶縁膜の表面を脱水することを特徴とする付記 1 乃至付記 4 のいずれかに記載の半導体装置の製造方法。

(付記 6) 前記水の除去は、前記第 1 の導電膜上のアルコールの塗布によって行われることを特徴とする付記 5 に記載の半導体装置の製造方法。

(付記 7) 前記自己配向層は、チタン、アルミニウム、シリコン、銅、タンタル、窒化タンタル、イリジウム、酸化イリジウム、プラチナのいずれかから構成されることを特徴とする付記 1 乃至付記 6 のいずれかに記載の半導体装置の製造方法。

(付記 8) 前記第 1 の導電層は、チタン、アルミニウム、シリコン、銅、タンタル、窒化タンタル、イリジウム、酸化イリジウム、プラチナのいずれかから構成されることを特徴とする付記 1 乃至付記 7 のいずれかに記載の半導体装置の製造方法。

(付記 9) 上記した第 1 の導電膜は、スパッタ法、プラズマ CVD 法、MOCVD 法、メッキ法のいずれかによって形成されることを特徴とする付記 1 乃至付記 8 のいずれかに記載の半導体装置の製造方法。

(付記 10) 前記第 1 の導電膜と前記自己配向層をパターンニングして導電パターンを形成する工程をさらに有することを特徴とする付記 1 乃至付記 9 のいずれかに記載の半導体装置の製造方法。

(付記 11) 前記導電パターンは、電極、配線のいずれかであることを特徴とす

る付記 1 0 に記載の半導体装置の製造方法。

(付記 1 2) 前記プラズマを前記絶縁膜に照射する前に、前記絶縁膜のうち前記導電パターンが形成される領域の一部の下にホールを形成し、さらに該ホール内に導電性プラグを形成する工程を有することを特徴とする付記 1 0 又は付記 1 1 に記載の半導体装置の製造方法。

(付記 1 3) 前記導電パターンを形成する領域の一部には、前記絶縁膜から露出する島状の酸素バリアメタルが形成され、前記酸素バリアメタルの下には導電プラグが形成されていることを特徴とする付記 1 0 に記載の半導体装置の製造方法。

(付記 1 4) 前記自己配向層及び前記第 1 の導電膜をパターニングして前記導電プラグの上とその周囲にキャパシタ下部電極を形成する工程と、

前記キャパシタ下部電極及び前記絶縁膜の上に酸化防止絶縁膜と密着絶縁膜を順に形成する工程と、

前記密着層及び前記酸化防止絶縁膜を研磨して前記キャパシタ下部電極の上面を露出させる工程と、

前記第 1 の導電膜と同じ材料からなる上側導電膜を前記前記密着層、前記酸化防止絶縁膜及び前記キャパシタ下部電極の上に形成する工程と、

前記上側導電膜の上に強誘電体膜を形成する工程と、

前記強誘電体膜に第 2 の導電膜を形成する工程と、

前記第 2 の導電膜、前記強誘電体膜及び前記上側導電膜をパターニングして前記キャパシタ下部電極に合わせたキャパシタ形状にパターニングする工程とを有することを特徴とする付記 1 乃至付記 9 のいずれかに記載の半導体装置の製造方法。

(付記 1 5) 前記第 1 の導電膜の上に強誘電体膜を形成する工程と、

前記強誘電体膜の上に第 2 の導電膜を形成する工程と、

前記第 2 の導電膜をパターニングしてキャパシタ上部電極を形成する工程と、

前記強誘電体膜をパターニングして少なくとも前記キャパシタ上部電極の下に残す工程と、

前記第 1 の導電膜及び前記自己配向層をパターニングすることにより少なくとも

も前記キャパシタ上部電極の下方にキャパシタ下部電極を形成する工程とを有することを特徴とする付記 1 乃至付記 1 3 のいずれかに記載の半導体装置の製造方法。

(付記 1 6) 前記強誘電体膜を形成した後に、酸素雰囲気中で熱により前記強誘電体膜を結晶化し、

ついで、前記第 2 の導電膜を形成した後に、酸素雰囲気中で熱により前記第 2 の導電膜を通して前記強誘電体膜を加熱することを特徴とする付記 1 4 又は付記 1 5 に記載の半導体装置の製造方法。

(付記 1 7) 前記第 2 の導電膜は、下部導電膜と上部導電膜の 2 ステップの形成工程を有し、

前記下部導電膜を形成する前と形成した後に、それぞれ前記強誘電体膜を酸素雰囲気中で加熱する工程をさらに有することを特徴とする付記 1 4 又は付記 1 5 のいずれかに記載の半導体装置の製造方法。

(付記 1 8) 前記強誘電体膜は、PZT、又は、カルシウム、ストロンチウム、ランタンの少なくとも 1 つがドーピングされた PZT であることを特徴とする付記 1 4 乃至付記 1 7 のいずれかに記載の半導体装置の製造方法。

(付記 1 9) 前記強誘電体膜は、スピノン法、ゾルゲル法、MOD 法、MOCVD のいずれかの方法により形成されることを特徴とする付記 1 4 乃至付記 1 8 のいずれかに記載の半導体装置の製造方法。

(付記 2 0) 前記強誘電体膜を前記 MOCVD 法により形成する場合には、基板温度を 600～650℃に設定することを特徴とする付記 1 9 に記載の半導体装置の製造方法。

(付記 2 1) 前記強誘電体膜を構成するグレインの 90%以上が(111)配向を有することを特徴とする付記 2 0 に記載の半導体装置の製造方法。

#### 【0348】

#### 【発明の効果】

以上述べたように本発明によれば、水素と窒素が結合した分子構造を有するガス、例えば NH<sub>3</sub> ガスのプラズマを絶縁膜上に照射し、その後に絶縁膜上に自己配向性を有する自己配向性膜を形成すると、自己配向性膜はそれ自信で配向性が良

く成長し、さらにその上層にある強誘電体材料のような機能膜に働きかけて良好な結晶性を形成することができる。

【図面の簡単な説明】

【図 1】

図 1 は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 1）である。

【図 2】

図 2 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 2）である。

【図 3】

図 3 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 3）である。

【図 4】

図 4 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 4）である。

【図 5】

図 5 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 5）である。

【図 6】

図 6 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 6）である。

【図 7】

図 7 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 7）である。

【図 8】

図 8 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 8）である。

【図 9】

図 9 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断

面図（その 9）である。

【図 1 0】

図 1 0 は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 1 0）である。

【図 1 1】

図 1 1 は、キャパシタの下の絶縁膜に $\text{NH}_3$  プラズマ処理を行わない従来装置の“0”、“1” マージンを示す図である。

【図 1 2】

図 1 2 は、キャパシタの下の絶縁膜に $\text{NH}_3$  プラズマ処理を行った本発明に係る実施形態の従来装置の“0”、“1” マージンを示す図である。

【図 1 3】

図 1 3 は、絶縁膜の第 1 実施形態により処理された絶縁膜の $\text{NH}_3$  プラズマ処理からTi成膜までの大気放置依存性を示す図である。

【図 1 4】

図 1 4 は、絶縁膜の第 1 実施形態により処理された絶縁膜の $\text{NH}_3$  プラズマ処理放置後の復活処理依存性を示す図である。

【図 1 5】

図 1 5 は、絶縁膜の第 1 実施形態により処理された絶縁膜の $\text{NH}_3$  プラズマ処理放置後の $\text{H}_2\text{O}$  依存性を示す図である。

【図 1 6】

図 1 6 は、絶縁膜の第 1 実施形態により処理された絶縁膜の $\text{NH}_3$  プラズマ処理放置後の雰囲気圧力依存性を示す図である。

【図 1 7】

図 1 7 は、本発明の実施形態に用いられる $\text{NH}_3$  プラズマ処理とTi形成のための装置の構成図である。

【図 1 8】

図 1 8 は、 $\text{SiO}_2$ 膜に対する $\text{NH}_3$  プラズマ処理の有無の関係において $\text{SiO}_2$ 膜上へ形成されたTi膜のXRDロックンクカーブである。

【図 1 9】

図 1 9 は、様々なガスを用いたときのTi配向強度比較の結果を示す図である。

【図 2 0】

図 2 0 は、 $\text{NH}_3$  プラズマ処理の有無による $\text{SiO}_2$ 膜中の元素同士の結合状態をしの変化を示す図である。

【図 2 1】

図 2 1 は、 $\text{NH}_3$  プラズマ処理の有無によるTiの成長過程を示す原子モデルである。

【図 2 2】

図 2 2 は、 $(\text{N}_2 + \text{H}_2)$  プラズマ処理された $\text{SiO}_2$ 膜上のTi膜の(0 0 2)配向強度と、 $\text{NH}_3$  プラズマ処理された $\text{SiO}_2$ 膜上のTi膜の(0 0 2)配向強度を示す図である。

【図 2 3】

図 2 3 は、絶縁膜の $\text{NH}_3$  プラズマ処理時の基板温度とその絶縁膜上のTi膜の(0 0 2)配向強度との関係を示す図である。

【図 2 4】

図 2 4 は、絶縁膜の $\text{NH}_3$  プラズマ処理時の基板パワー強度とその絶縁膜上のTi膜の(0 0 2)配向強度との関係を示す図である。

【図 2 5】

図 2 5 は、絶縁膜の $\text{NH}_3$  プラズマ処理時間と $\text{NH}_3$  プラズマ処理された絶縁膜上のTi膜の(0 0 2)配向強度との関係を示す図である。

【図 2 6】

図 2 6 は、 $\text{NH}_3$  プラズマ処理された絶縁膜とされない絶縁膜上にそれぞれのTi膜の配向特性のロッキングカーブである。

【図 2 7】

図 2 7 は、 $\text{NH}_3$  プラズマ処理された絶縁膜上とされない絶縁膜上にそれぞれTi膜を介して形成されたP Z T膜の配向特性のロッキングカーブである。

【図 2 8】

図 2 8 は、 $\text{NH}_3$  プラズマ処理された絶縁膜上とされない絶縁膜上のAl-Cu 膜の(1 1 1)配向強度を示す図である。

【図 2 9】

図 2 9 は、従来方法で成膜した Ir 膜上の P Z T 膜と本発明により成膜した Ir/Ti 膜上の P Z T 膜のそれぞれの X R D プロファイルである。

【図 3 0】

図 3 0 は、従来方法で成膜した P Z T を用いた強誘電体キャパシタと本発明により成膜した P Z T を用いた強誘電体キャパシタのそれぞれの電気特性を示す図である。

【図 3 1】

図 3 1 は、従来方法で成膜した P Z T を用いた強誘電体キャパシタと本発明により成膜した P Z T を用いた強誘電体キャパシタのそれぞれのインプリント特性を示す図である。

【図 3 2】

図 3 2 は、不良ビットが発生するキャパシタの断面図と P Z T 結晶の電子回折像である。

【図 3 3】

図 3 3 は、不良ビットが発生しないキャパシタの断面図である。

【図 3 4】

図 3 4 (a) ～ (c) は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図（その 1）である。

【図 3 5】

図 3 5 (a), (b) は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図（その 2）である。

【図 3 6】

図 3 6 (a), (b) は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図（その 3）である。

【図 3 7】

図 3 7 (a), (b) は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図（その 4）である。

【図 3 8】



図 3 8 (a), (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図（その 1）である。

【図 3 9】

図 3 9 (a), (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図（その 2）である。

【図 4 0】

図 4 0 (a), (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図（その 3）である。

【図 4 1】

図 4 1 (a), (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図（その 4）である。

【図 4 2】

図 4 2 (a), (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図（その 5）である。

【図 4 3】

図 4 3 は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図（その 6）である。

【図 4 4】

図 4 4 (a), (b) は、本発明の第 5 実施形態に係る半導体装置の製造工程を示す断面図（その 1）である。

【図 4 5】

図 4 5 (a), (b) は、本発明の第 5 実施形態に係る半導体装置の製造工程を示す断面図（その 2）である。

【図 4 6】

図 4 6 (a), (b) は、本発明の第 5 実施形態に係る半導体装置の製造工程を示す断面図（その 3）である。

【図 4 7】

図 4 7 (a), (b) は、本発明の第 5 実施形態に係る半導体装置の製造工程を示す断面図（その 4）である。

【図 4 8】

図 4 8 は、本発明の第 5 実施形態に係る半導体装置の製造工程を示す断面図（その 5）である。

【符号の説明】

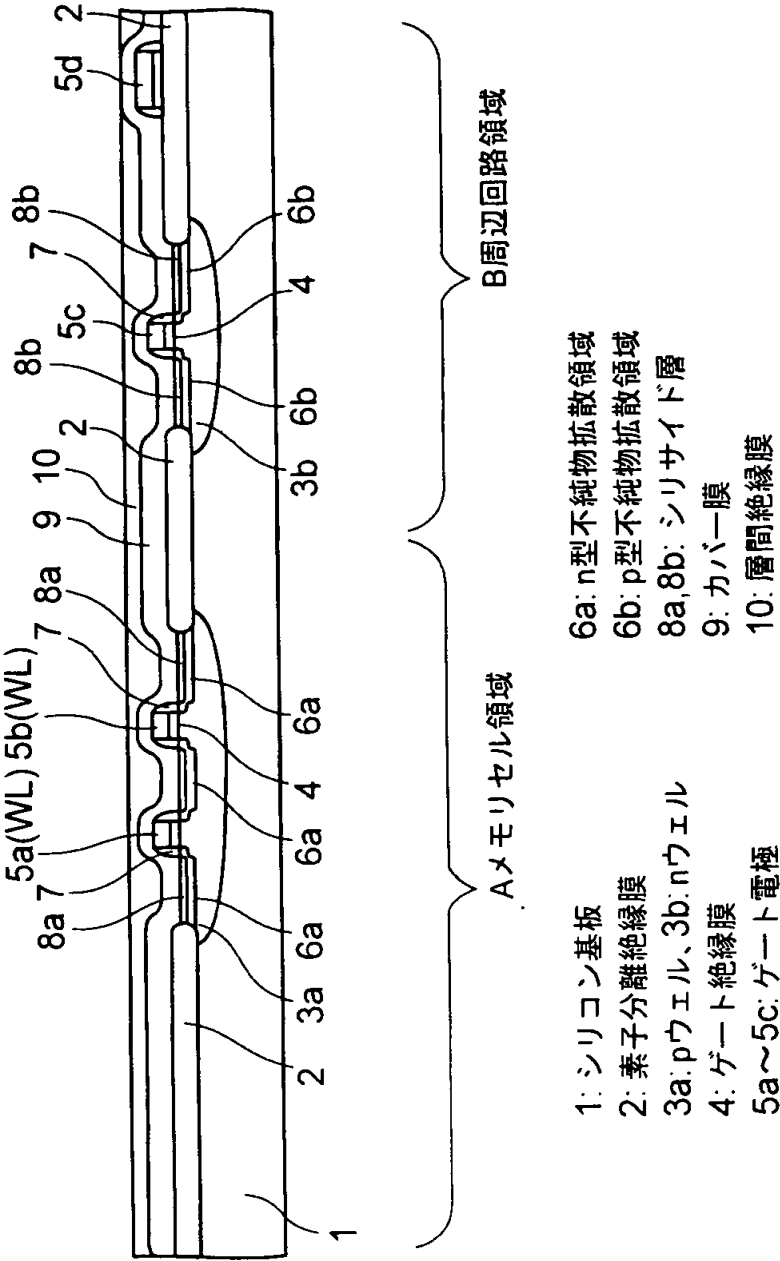
1 …シリコン基板、2 …素子分離絶縁膜、3 a …p ウェル、3 b …n ウェル、4 …ゲート絶縁膜、5 a, 5 b …ゲート電極、6 a …n 型不純物拡散領域、6 b …p 型不純物拡散領域、8 a, 8 b …n シリサイド層、1 0 …層間絶縁膜、1 1 …p 型不純物拡散領域、1 3 …強誘電体膜、1 4 …導電膜、1 5, 1 5 a …エンキャップ層、1 6 …層間絶縁膜、1 7 a ~ 1 7 f …導電性プラグ、2 0 a, 2 0 c, 2 0 d ~ 2 0 f …配線、2 0 b …導電パッド、5 1 …シリコン基板、5 2 …素子分離絶縁膜、5 3 …ゲート絶縁膜、5 4 a, 5 4 b …ゲート電極、5 5 a ~ 5 5 c …不純物拡散領域、5 7 …カバー絶縁膜、5 8 a ~ 5 8 c …コンタクトホール、6 0 a ~ 6 0 c …導電性プラグ、6 1 …中間層（自己配向層）、6 2, 6 2 a …酸素バリアメタル層、6 3 …酸化防止絶縁膜、6 4 …絶縁性密着層、6 5, 6 5 b …第 1 導電膜、6 6 …強誘電体膜、6 7 …第 2 導電層、6 9 …キャパシタ保護膜、7 0 …層間絶縁膜、6 5 a …下部電極、6 6 a …誘電体層、6 7 a …上部電極、Q, Q<sub>0</sub>, Q<sub>1</sub>, Q<sub>2</sub> …キャパシタ。

【書類名】

図面

【図 1】

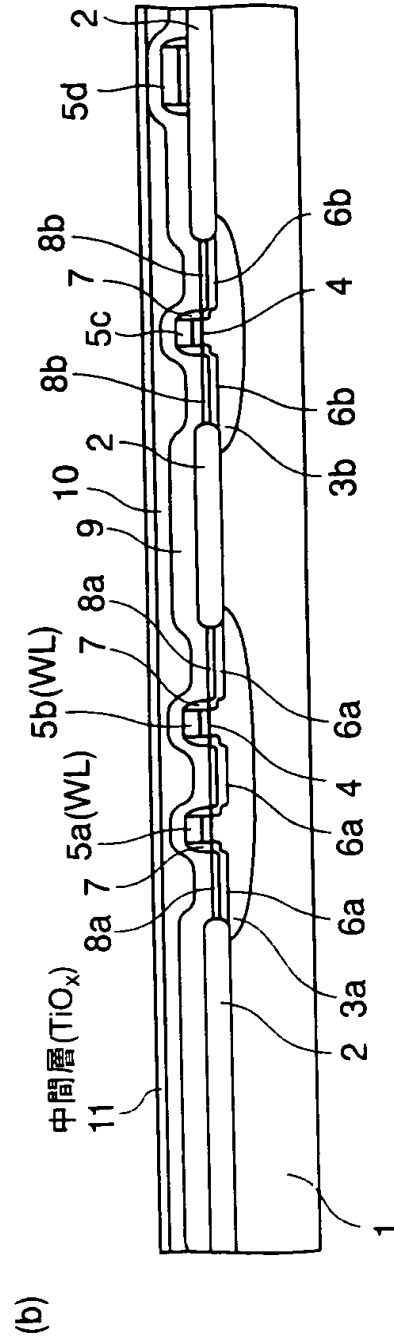
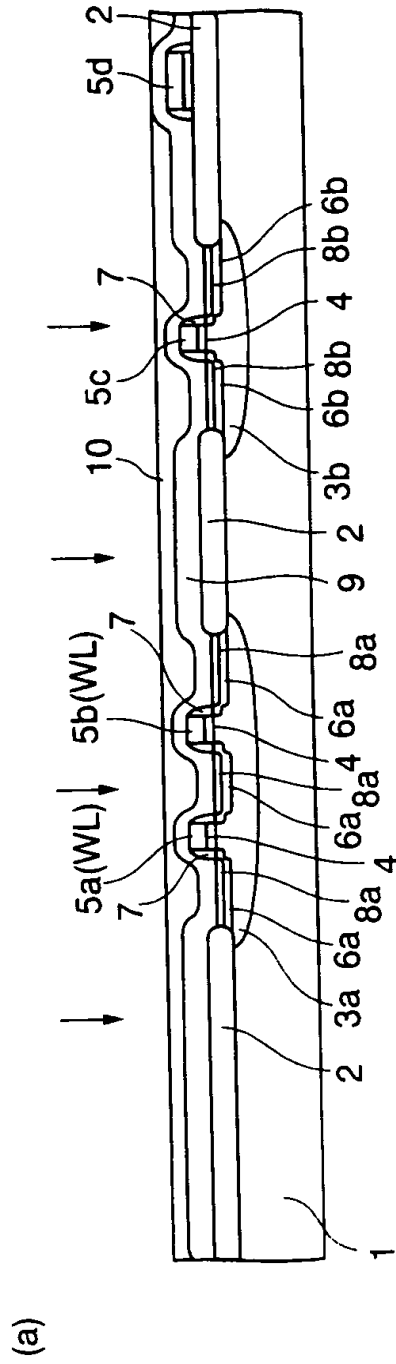
本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その1)



【図 2】

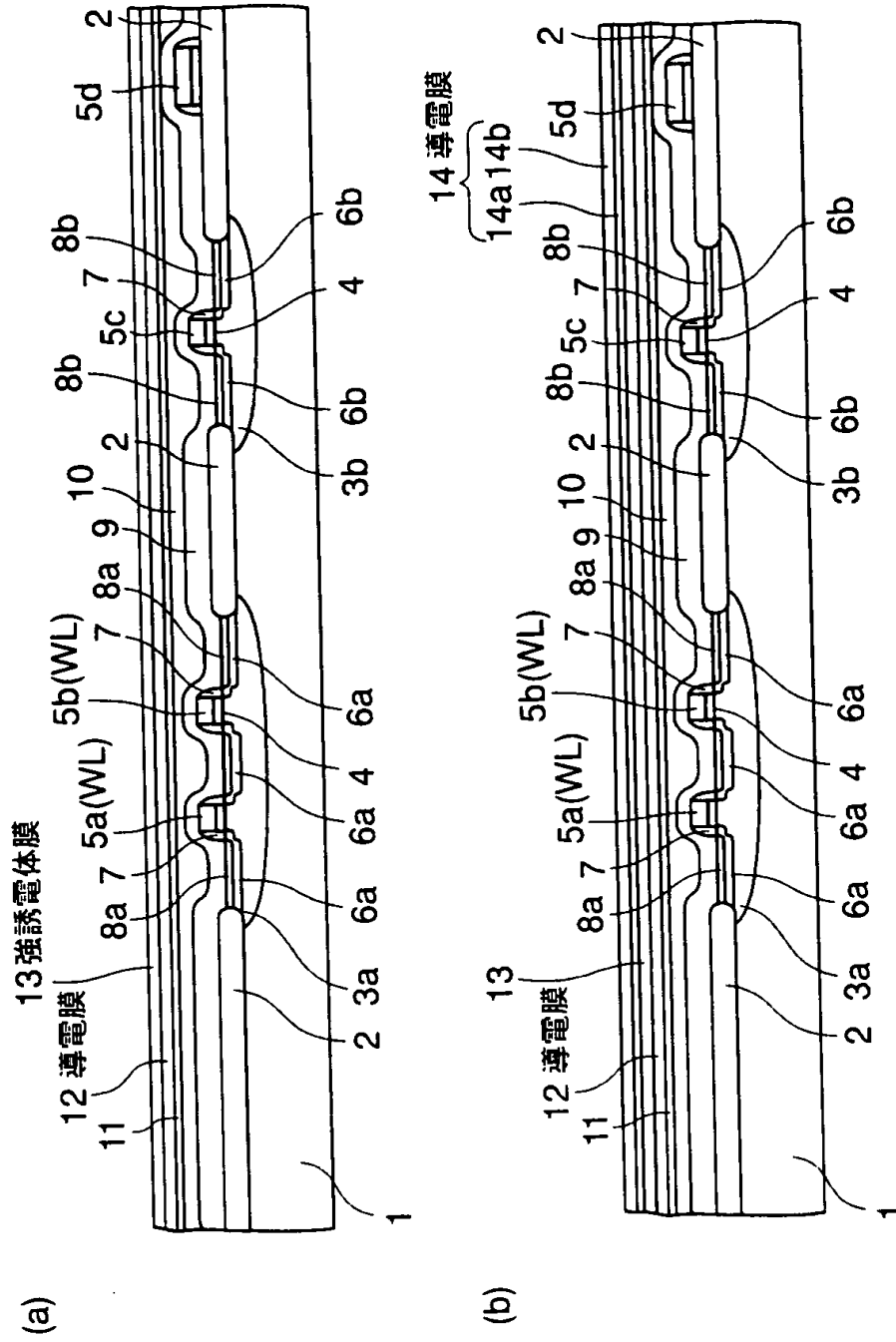
本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その2)

NH<sub>3</sub>プラズマ



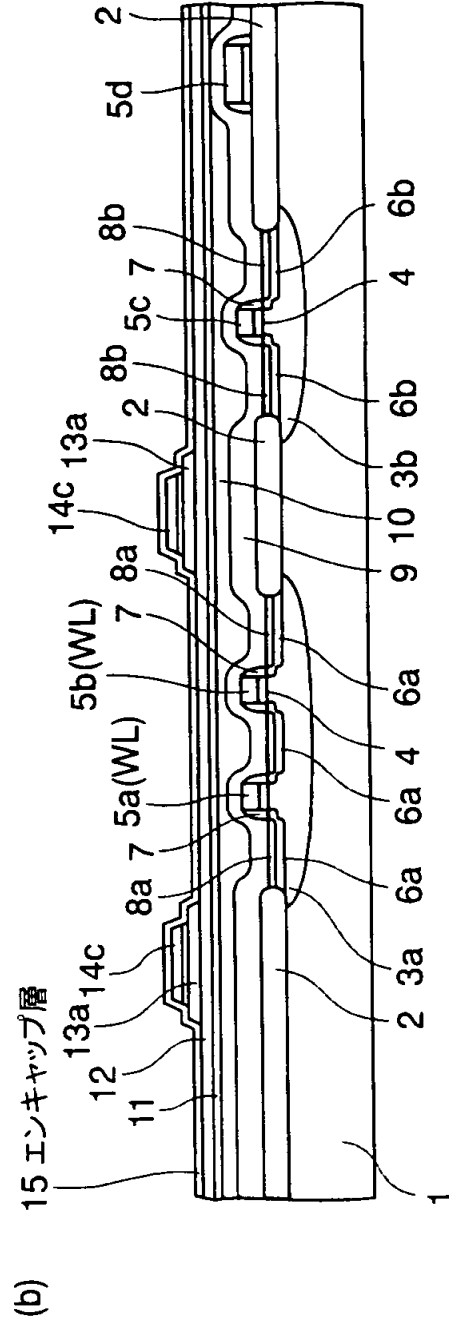
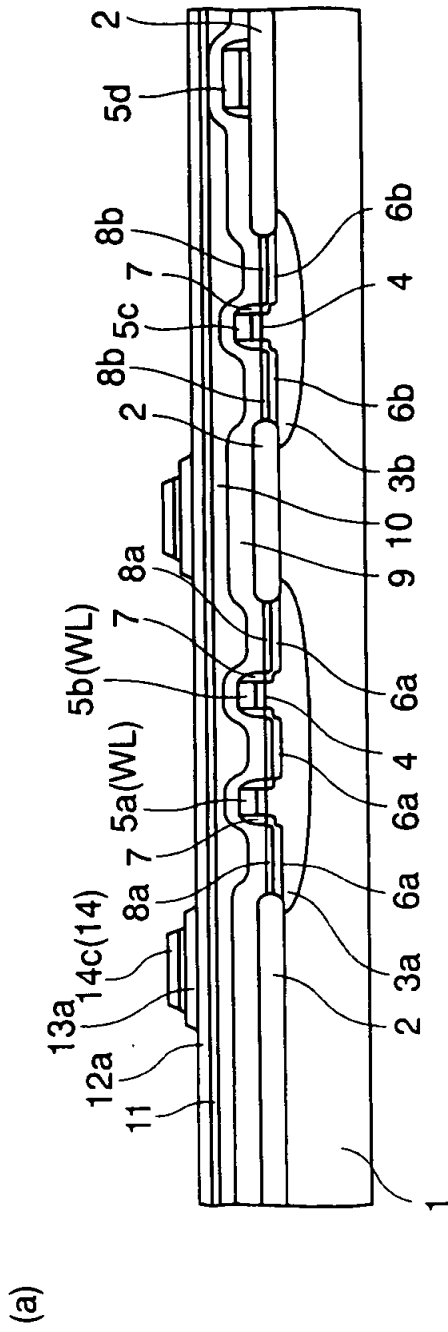
【図 3】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その3)



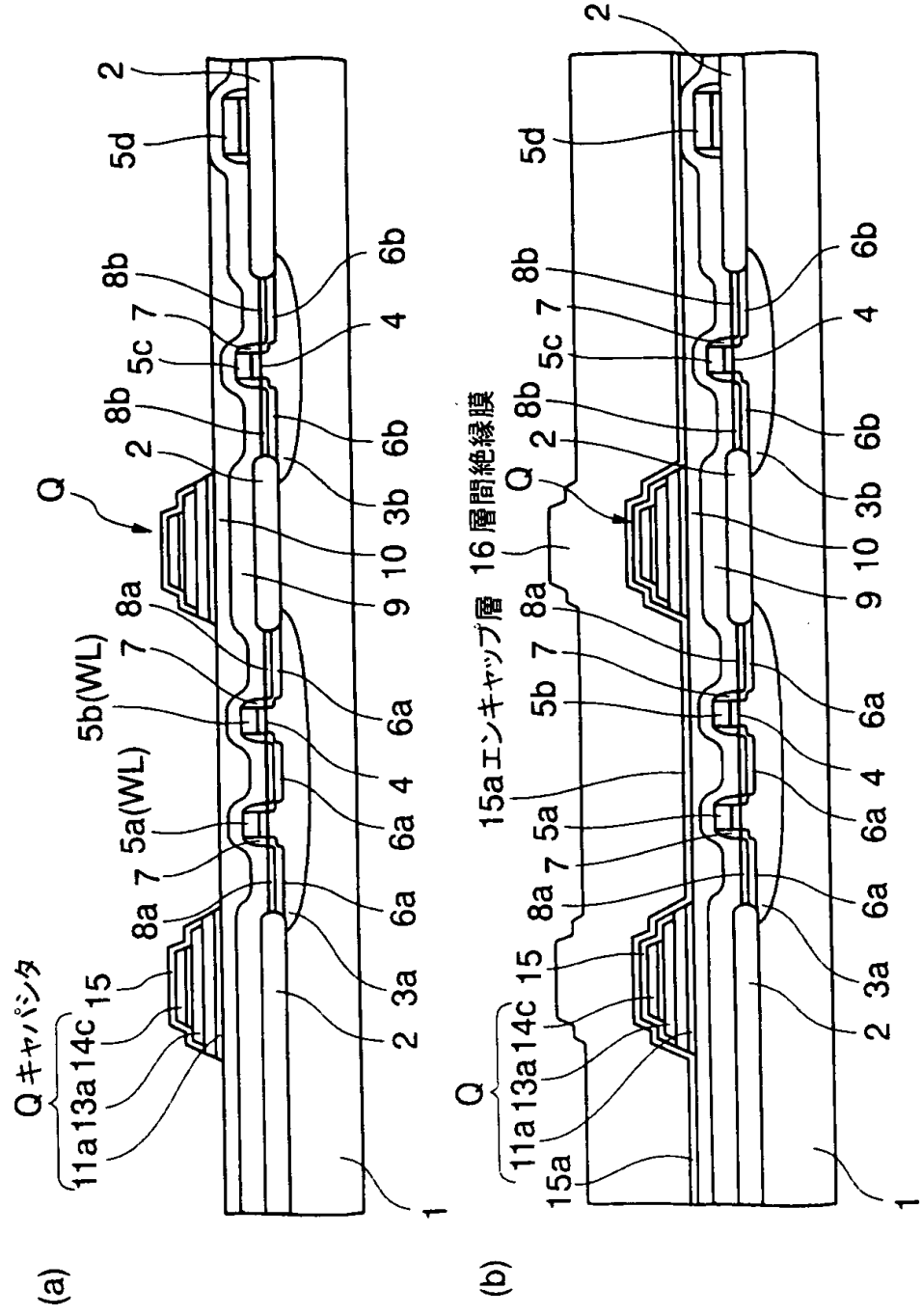
【図 4】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その4)



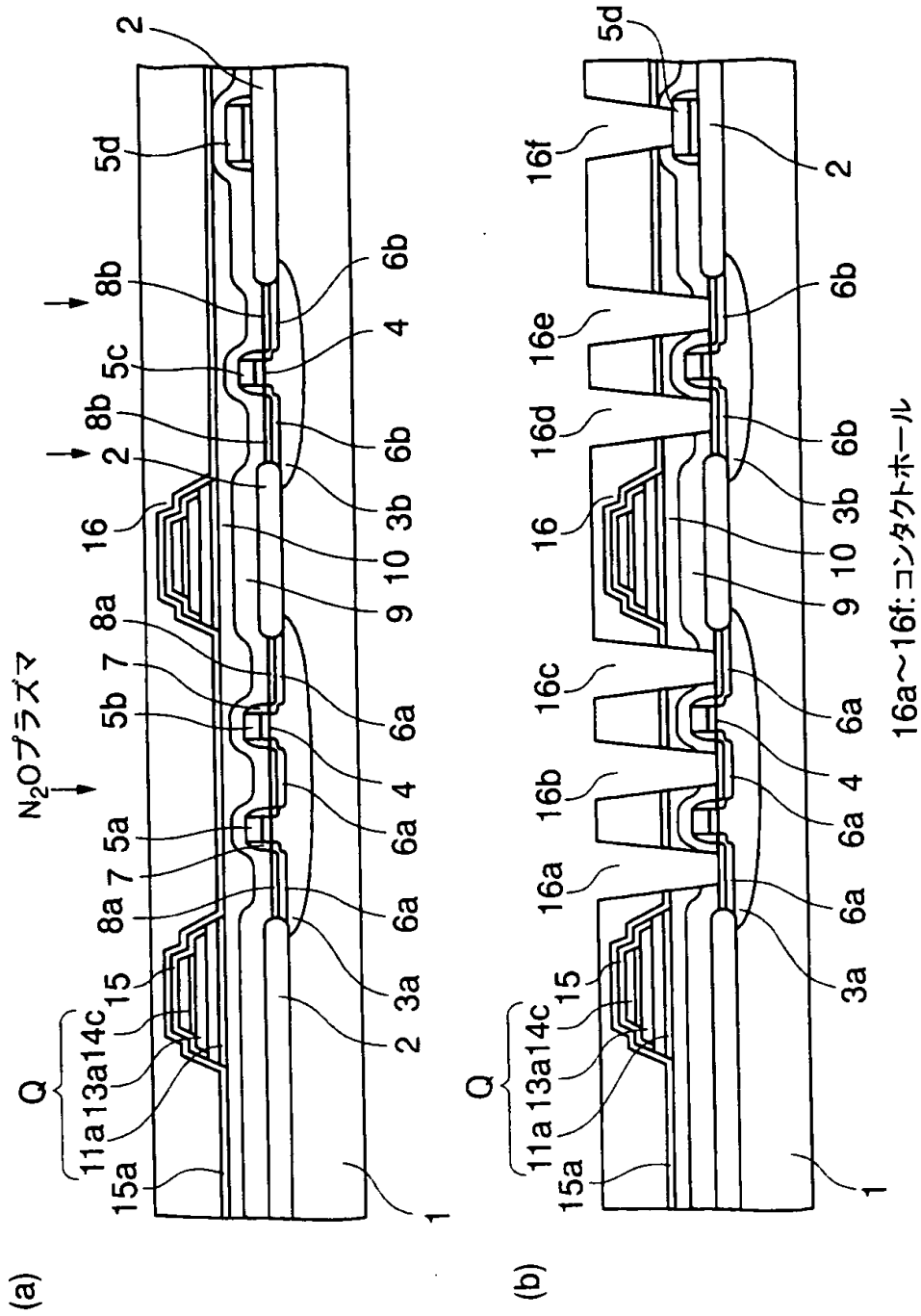
【図 5】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その5)



【図 6】

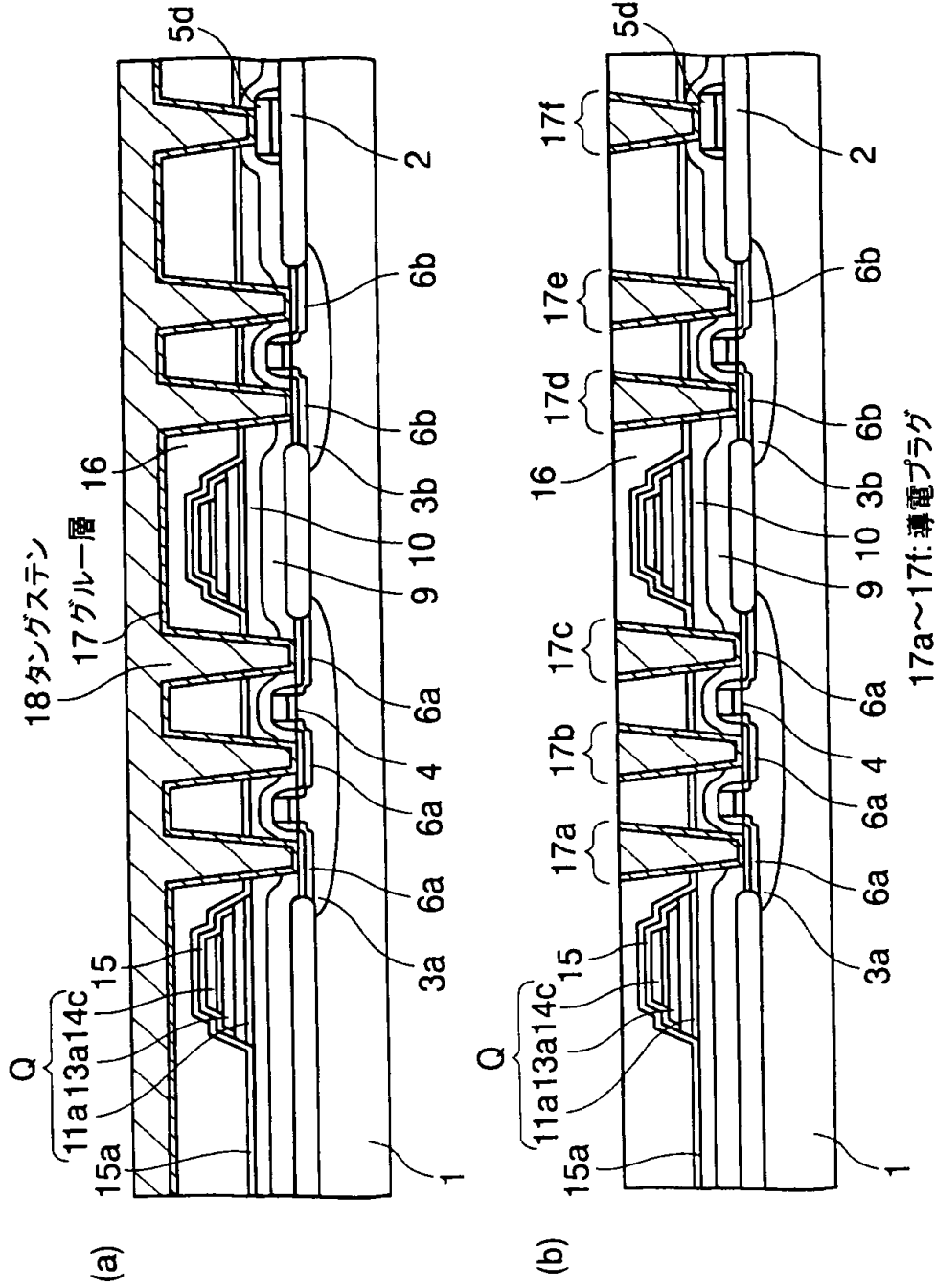
本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その6)





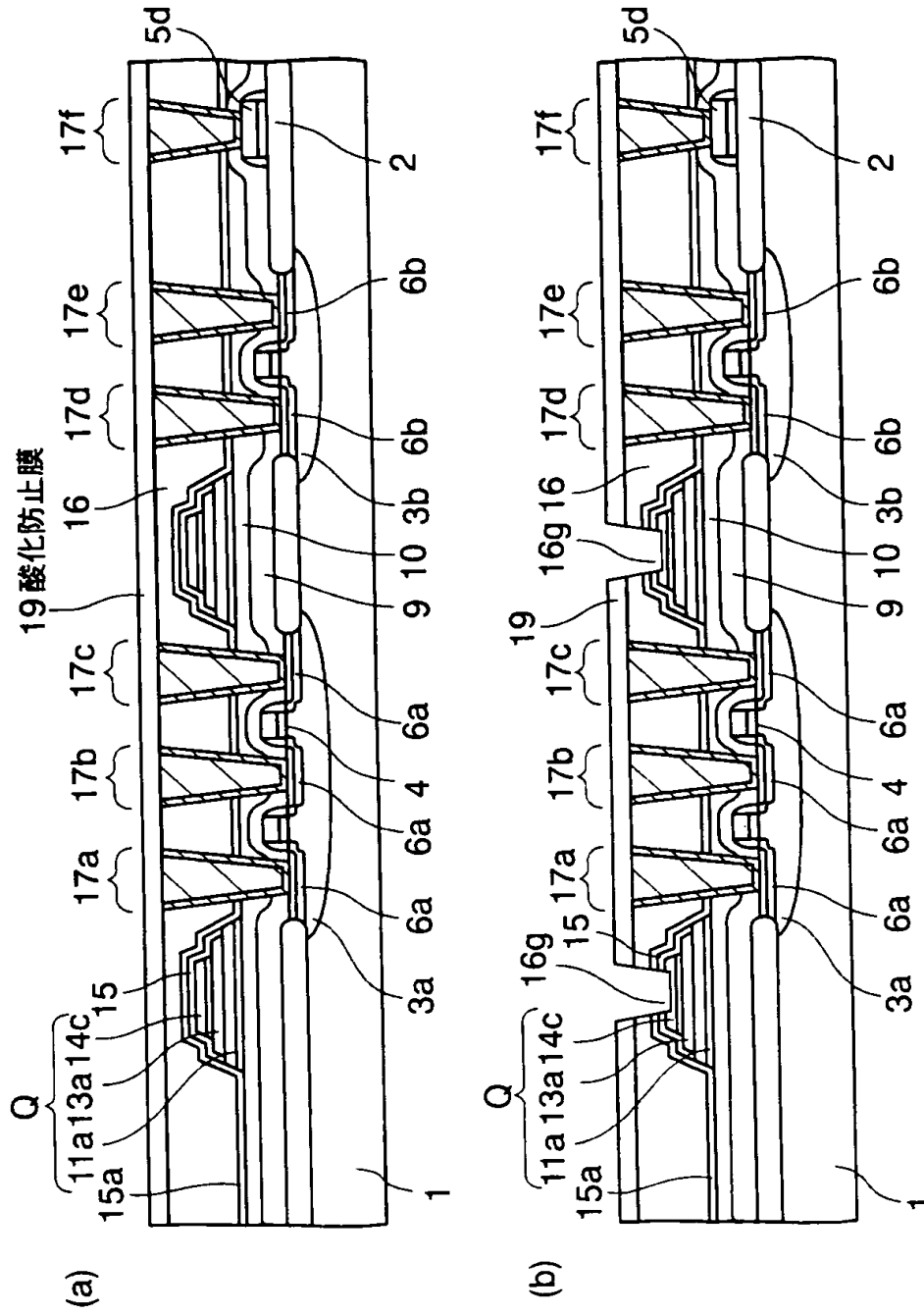
【図 7】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その7)



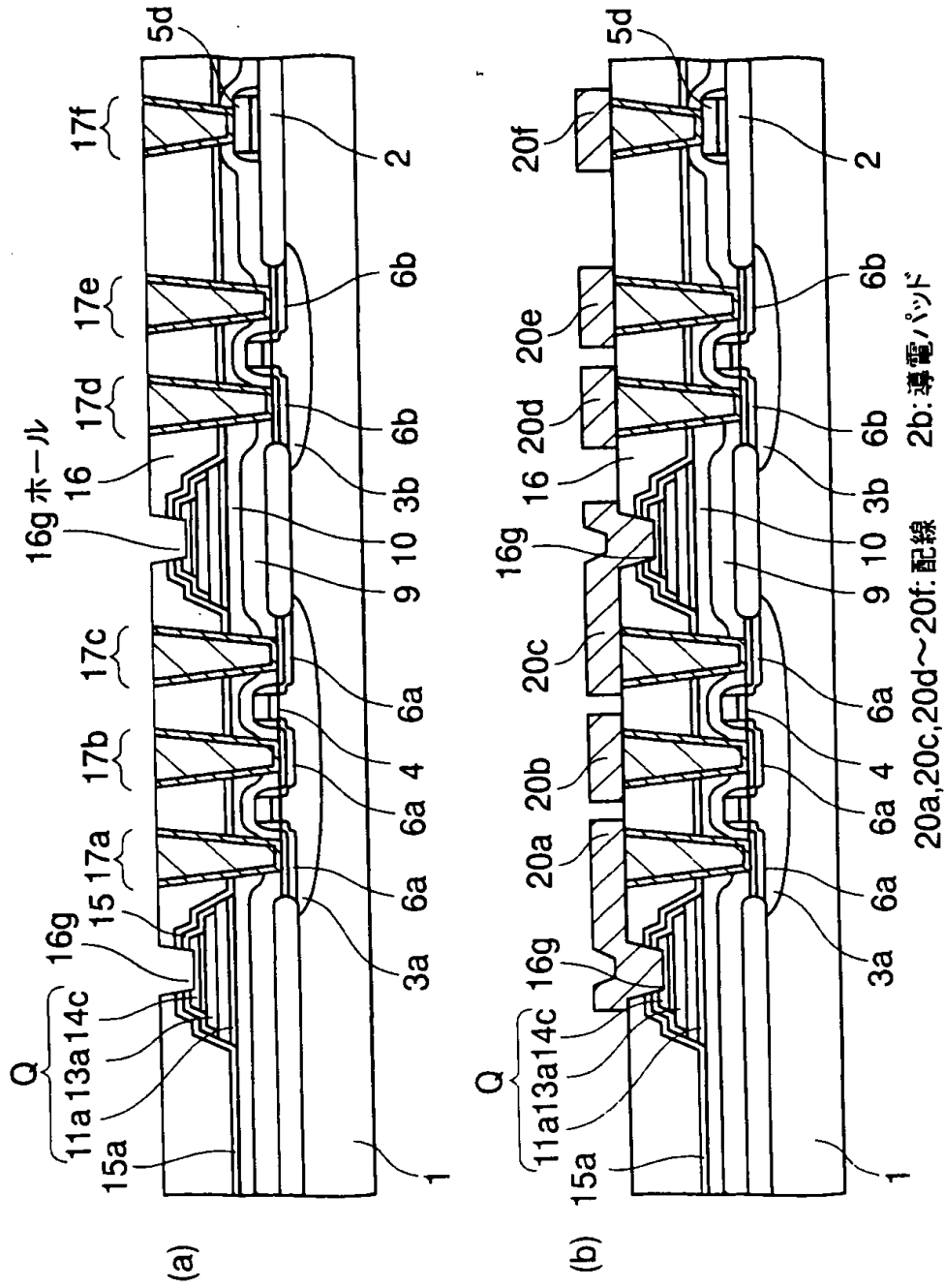
【図 8】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その8)



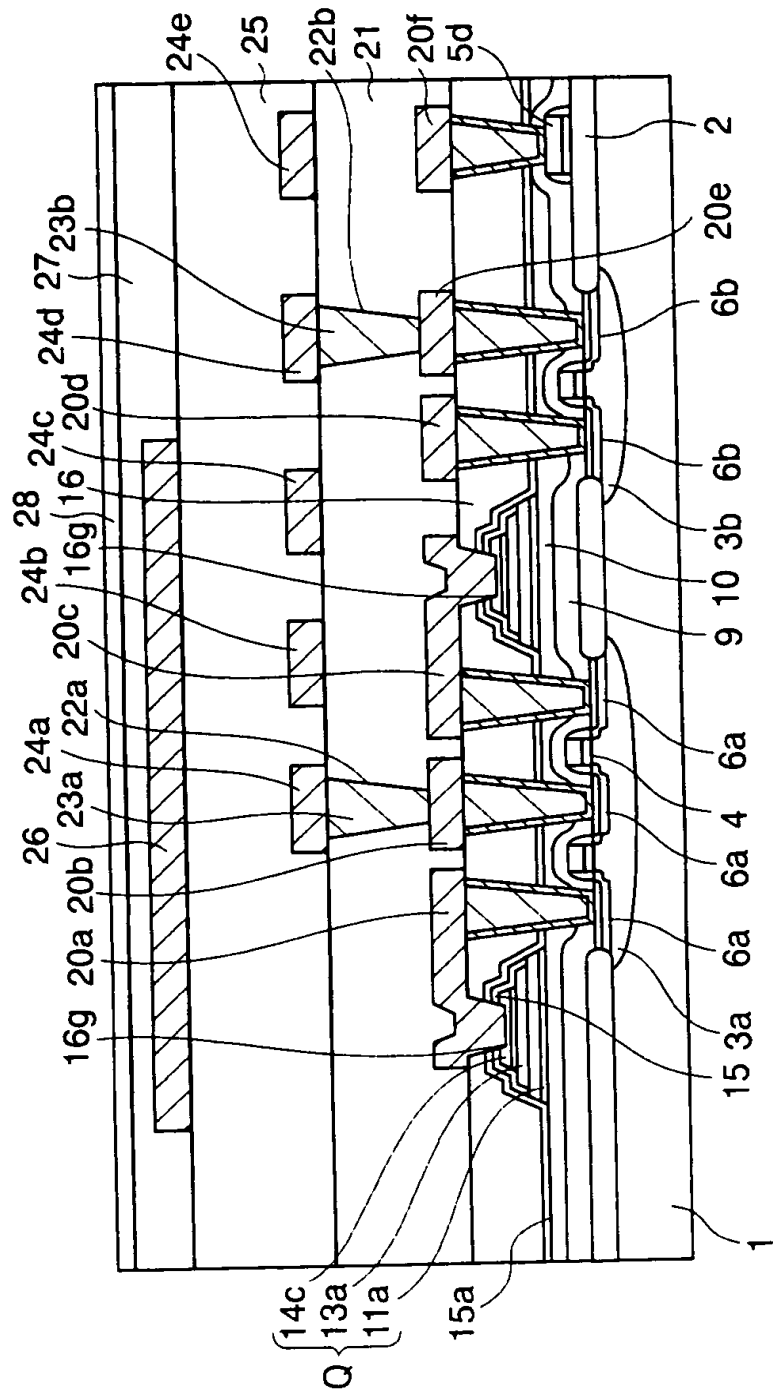
【図9】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その9)



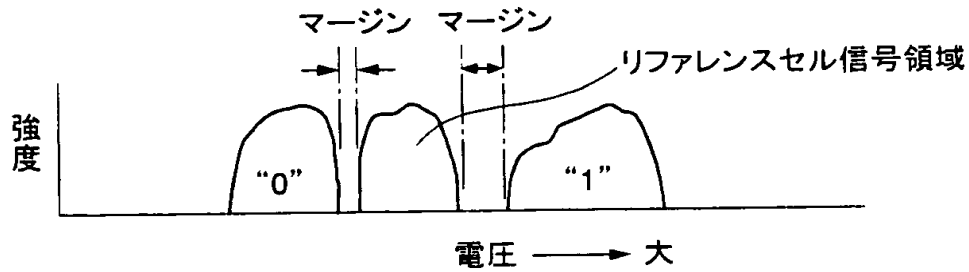
【図 10】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その10)



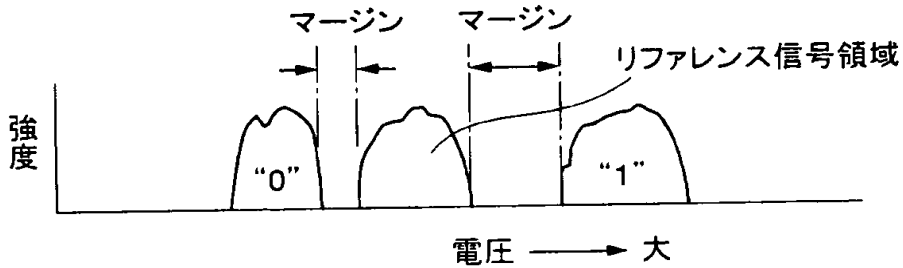
【図 1 1】

キャパシタの下の絶縁膜に $\text{NH}_3$ プラズマ処理を行わない従来装置の“0”、“1”マージン



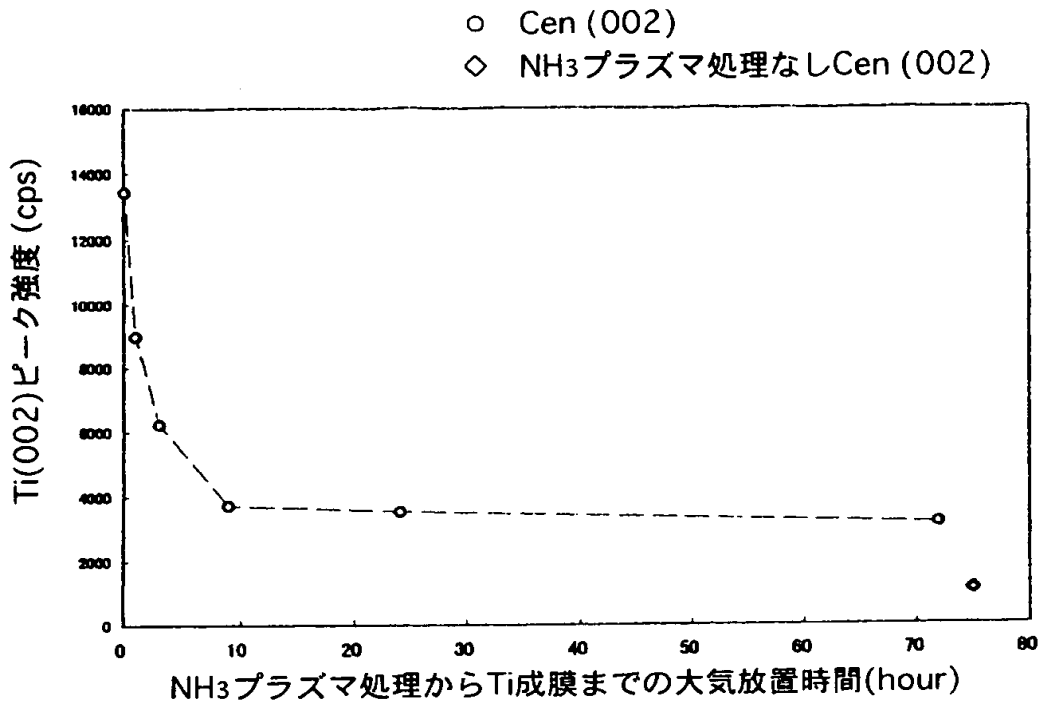
【図 1 2】

キャパシタの下の絶縁膜に $\text{NH}_3$ プラズマ処理を行なった本発明の実施形態の装置の“0”、“1”マージン



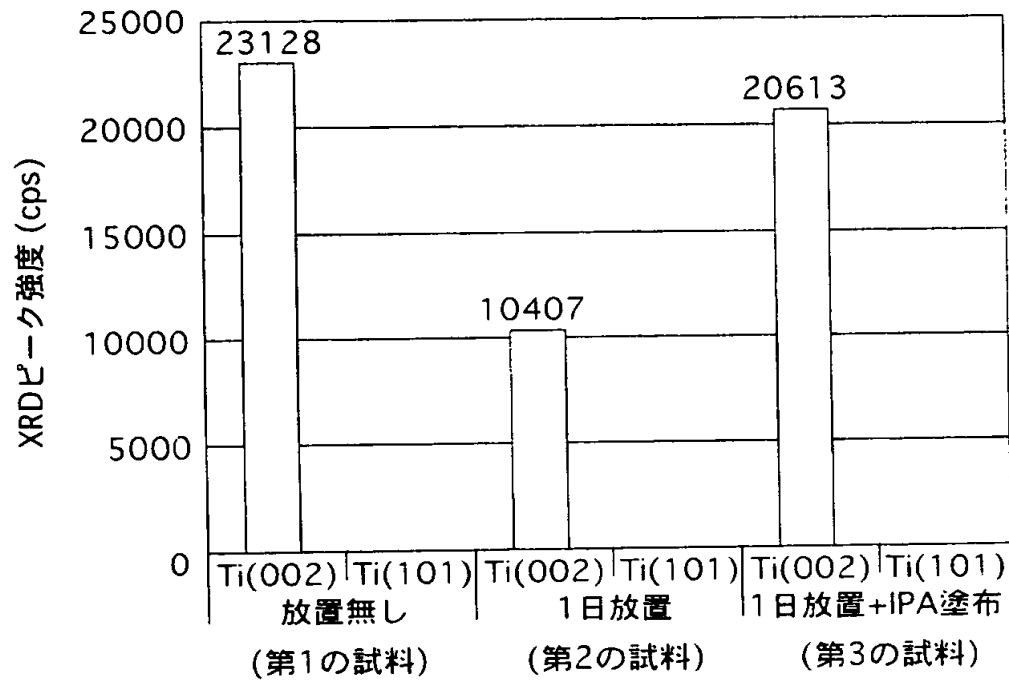
【図 1 3】

本発明の第1実施形態により処理された絶縁膜の  
NH<sub>3</sub>プラズマ処理からTi成膜までの大気放置依存性



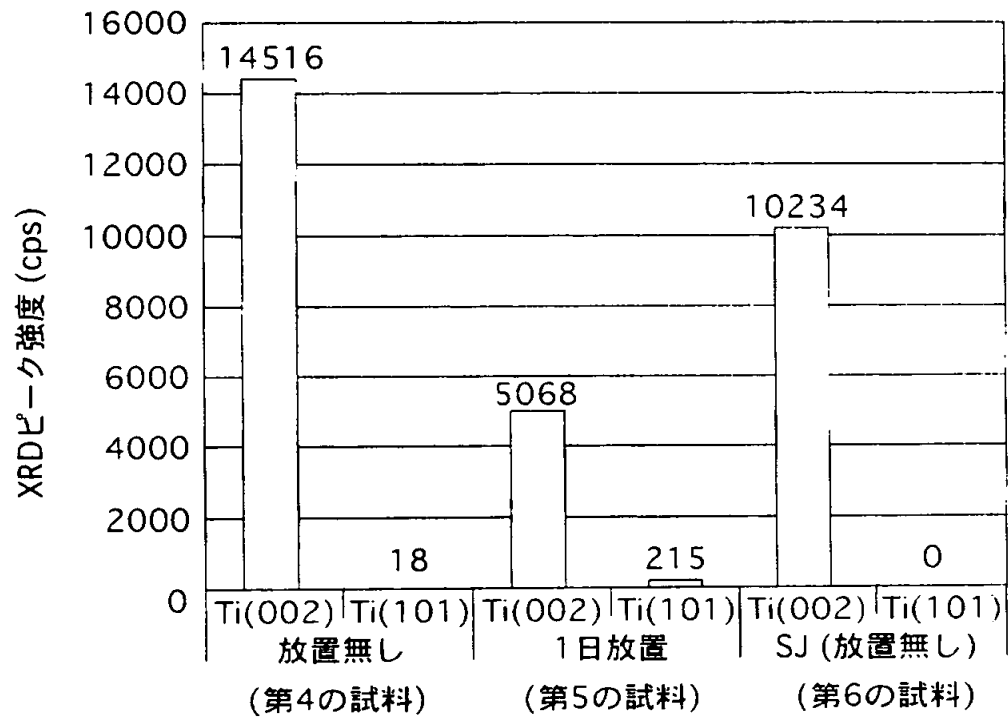
【図 1 4】

本発明の第1実施形態により処理された絶縁膜の  
NH<sub>3</sub>プラズマ処理放置後の処理依存性



【図 1 5】

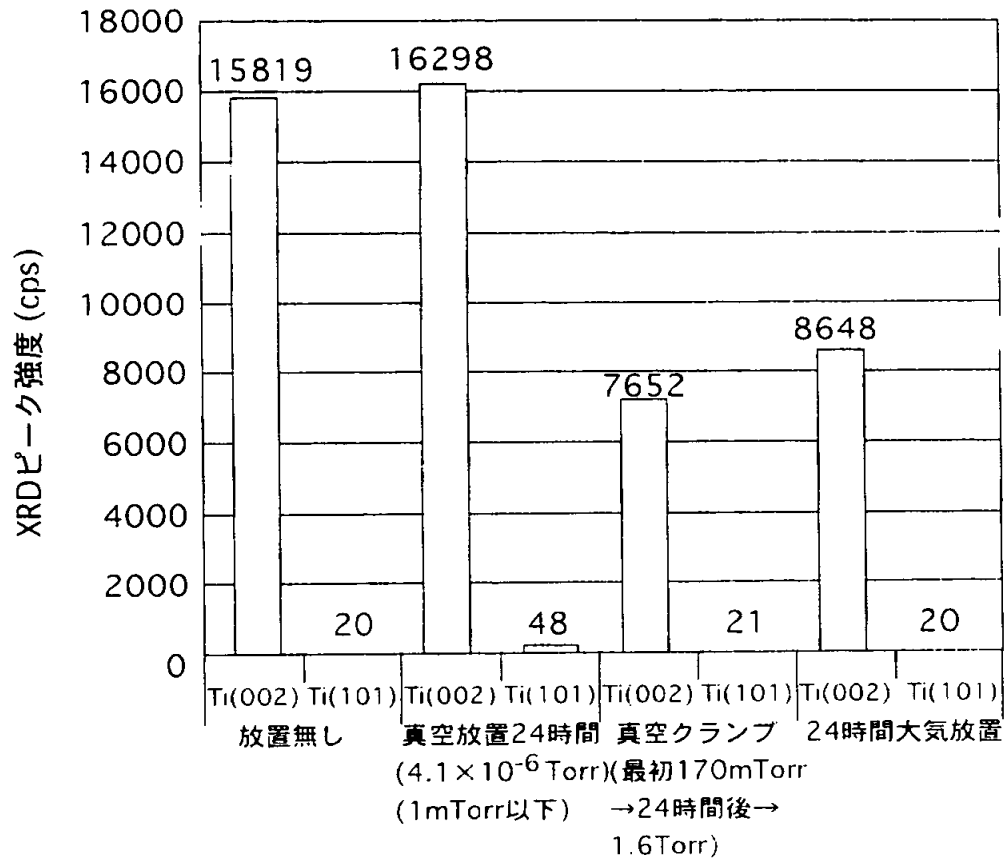
本発明の第1実施形態により処理された絶縁膜の  
NH<sub>3</sub>プラズマ処理放置後のH<sub>2</sub>O依存性





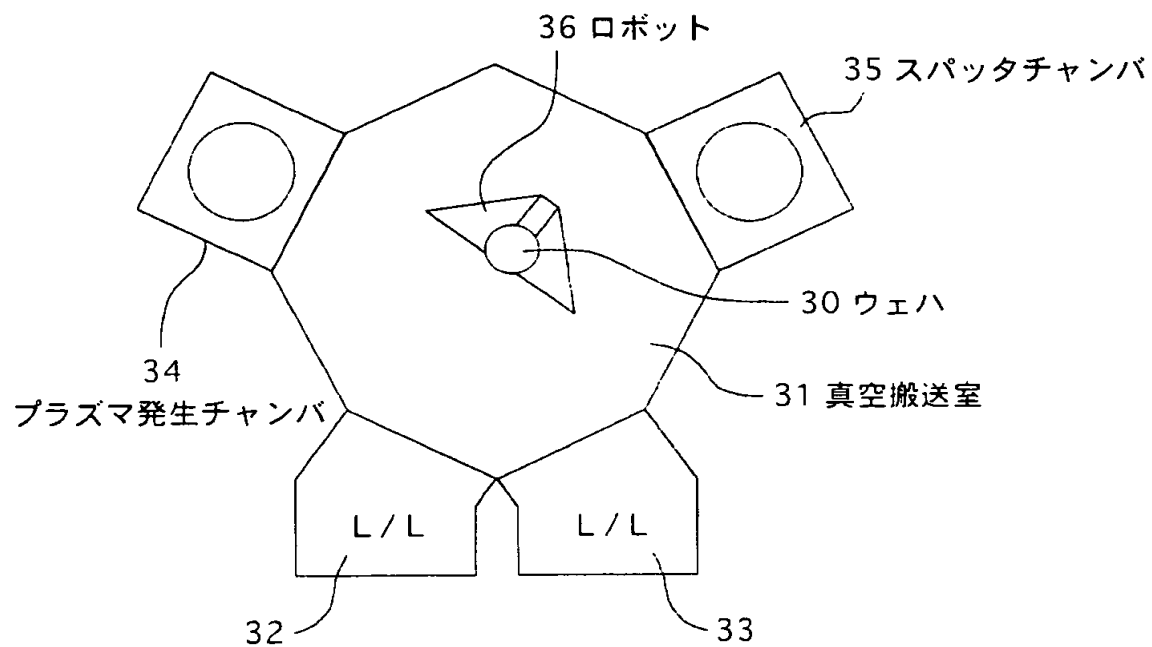
【図 1 6】

本発明の第1実施形態により処理された絶縁膜の  
NH<sub>3</sub>プラズマ処理後の雰囲気圧力依存性



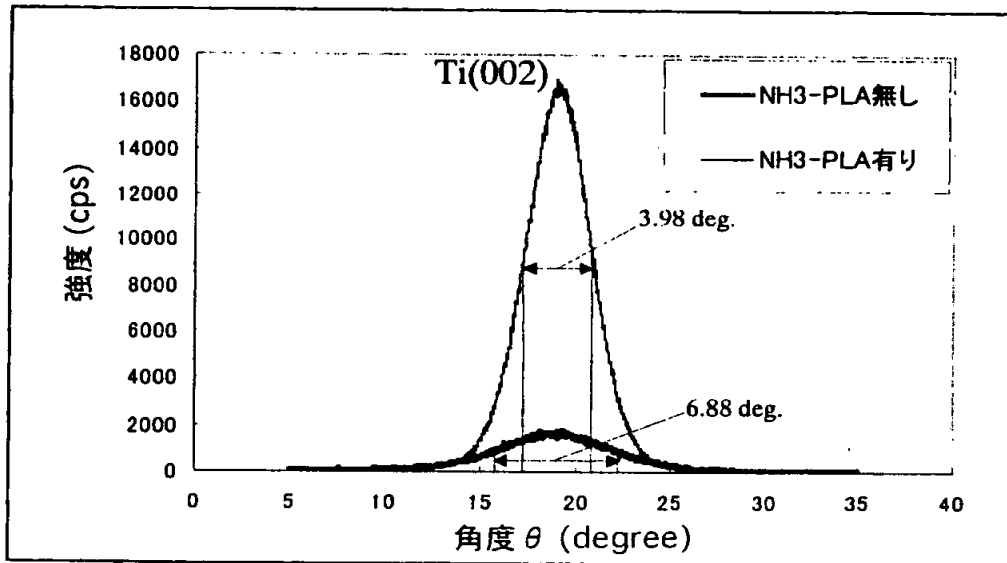
【図 1 7】

本発明の実施形態に用いられるNH<sub>3</sub>プラズマ処理とTi形成のための装置の構成

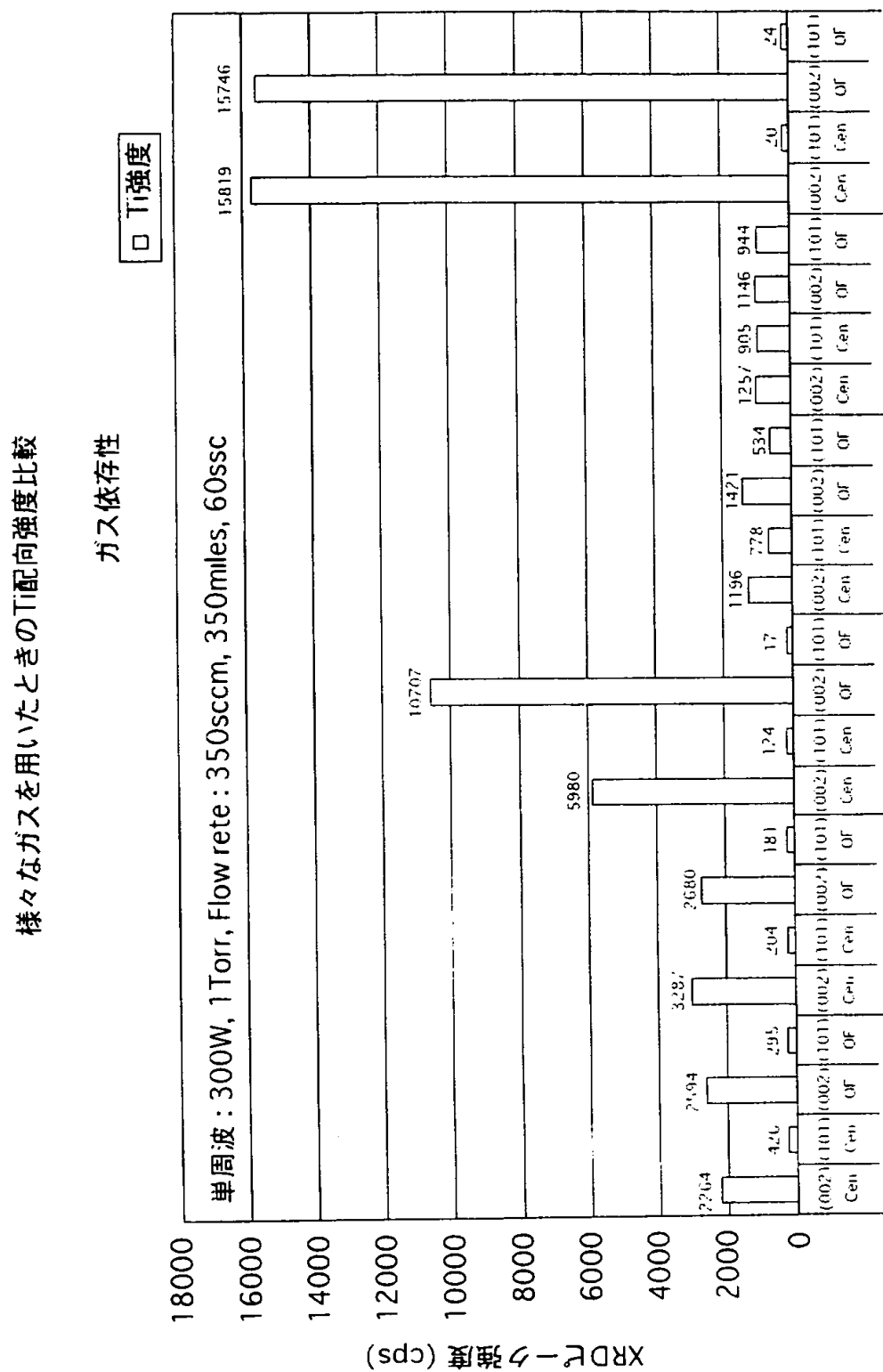


【図 1 8】

SiO<sub>2</sub>膜に対するNH<sub>3</sub>プラズマの有無の関係において  
SiO<sub>2</sub>膜上へ形成されたTi膜のXRDロックンクカーブ

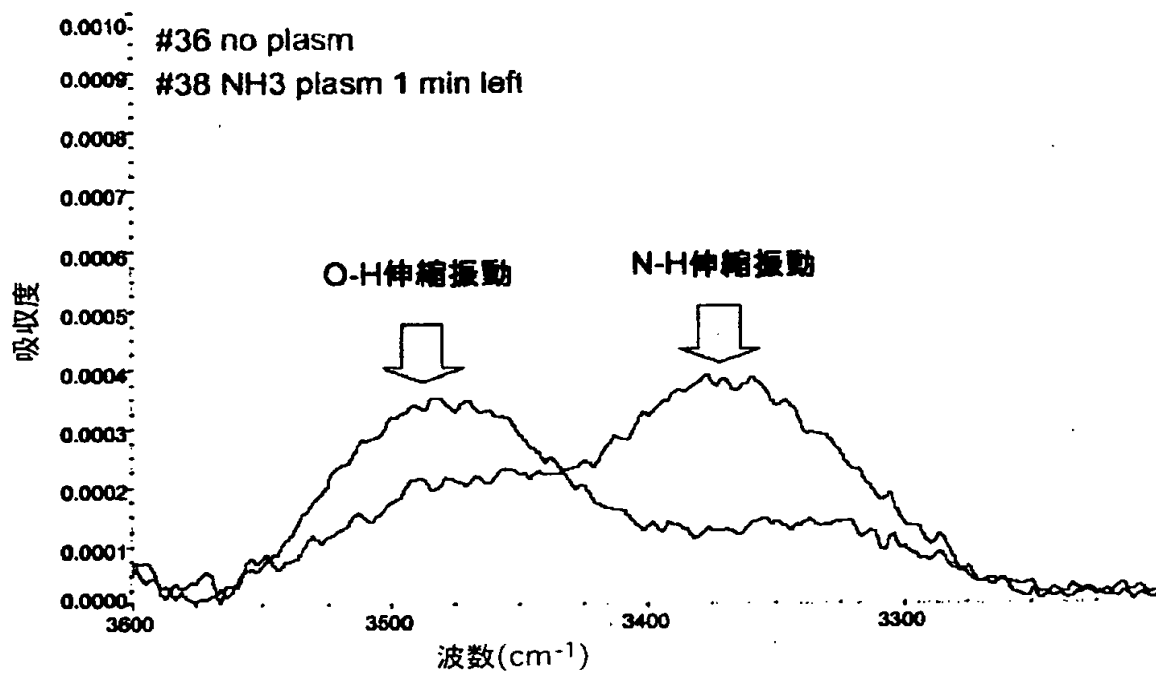


【図 19】



【図 2 0】

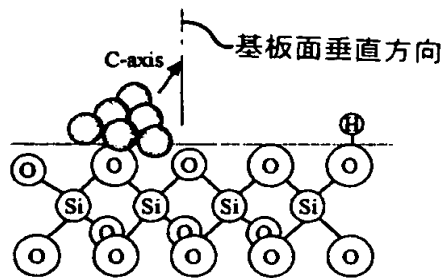
NH<sub>3</sub>プラズマの有無によるSiO<sub>2</sub>膜中の  
元素同士の結合状態の変化



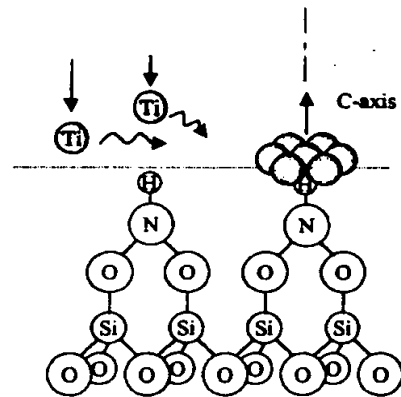
【図 2 1】

NH<sub>3</sub>プラズマ処理の有無によるTiの  
成長過程を示す原子結合モデル

(a)

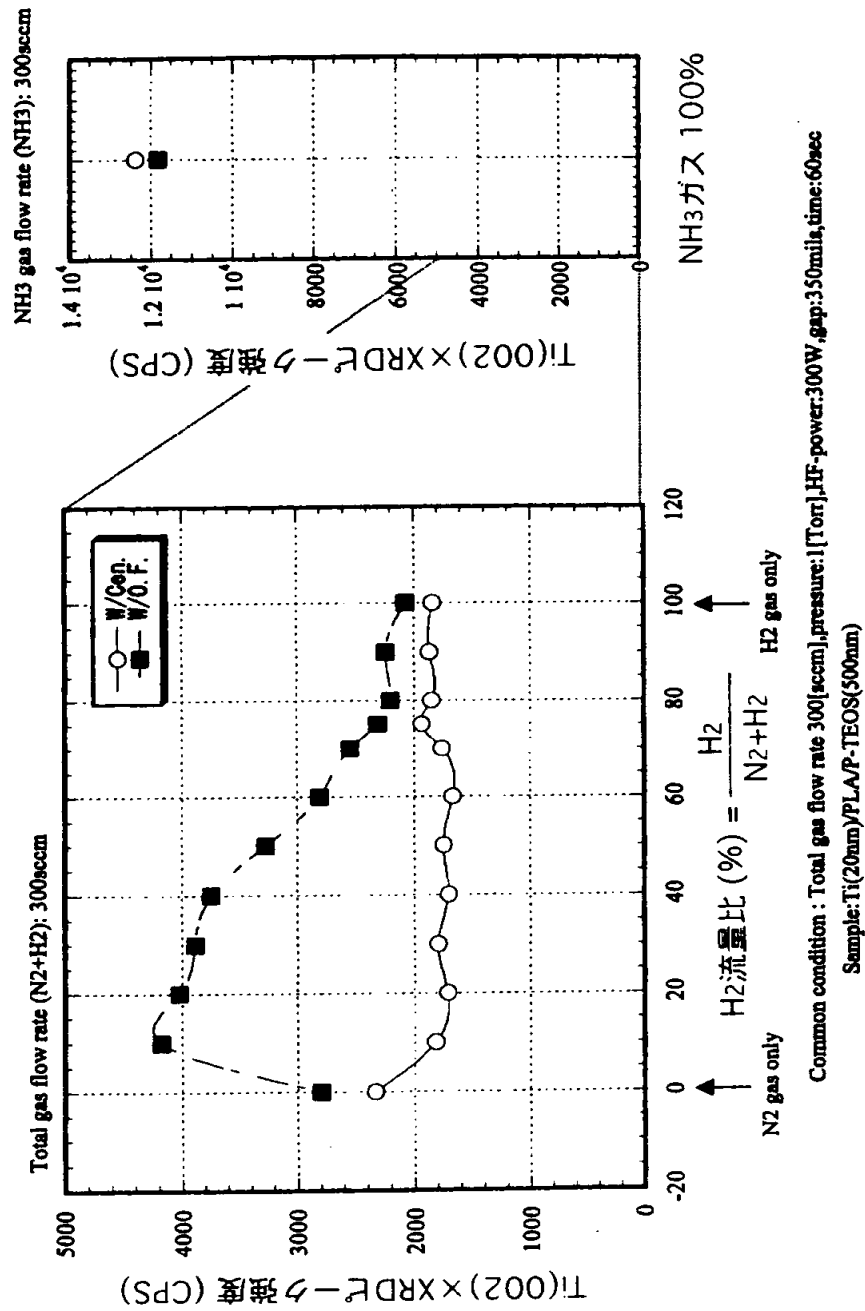


(b)



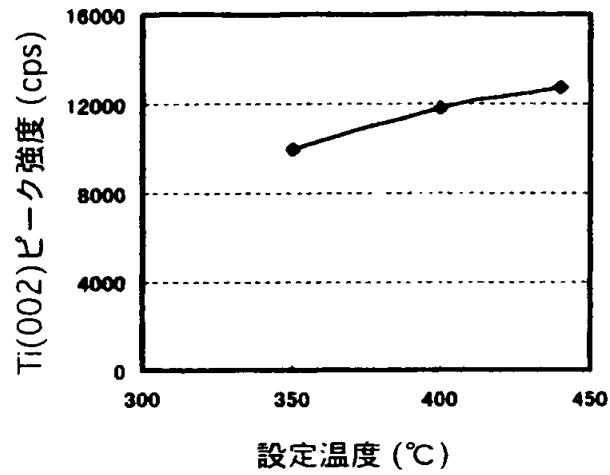
【図 2 2】

(N<sub>2</sub>+H<sub>2</sub>)プラズマ処理されたSiO<sub>2</sub>膜上のTi膜の(002)配向強度と、  
NH<sub>3</sub>プラズマ処理されたSiO<sub>2</sub>膜上のTi膜の(002)配向強度



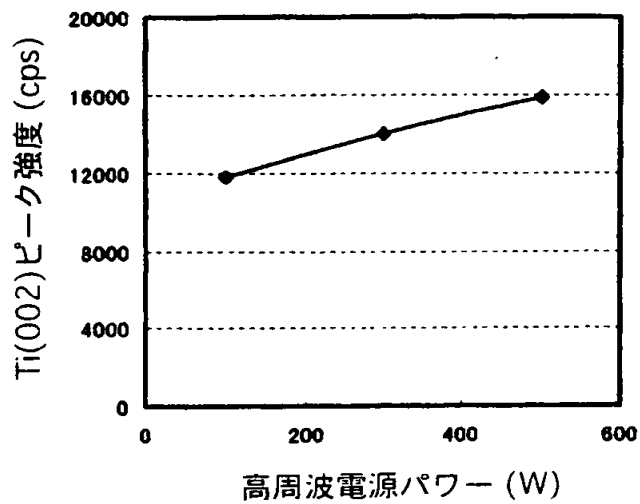
【図 2 3】

絶縁膜のNH<sub>3</sub>プラズマ処理時の基板温度と  
その絶縁膜上のTi膜の(002)配向強度との関係



【図 2 4】

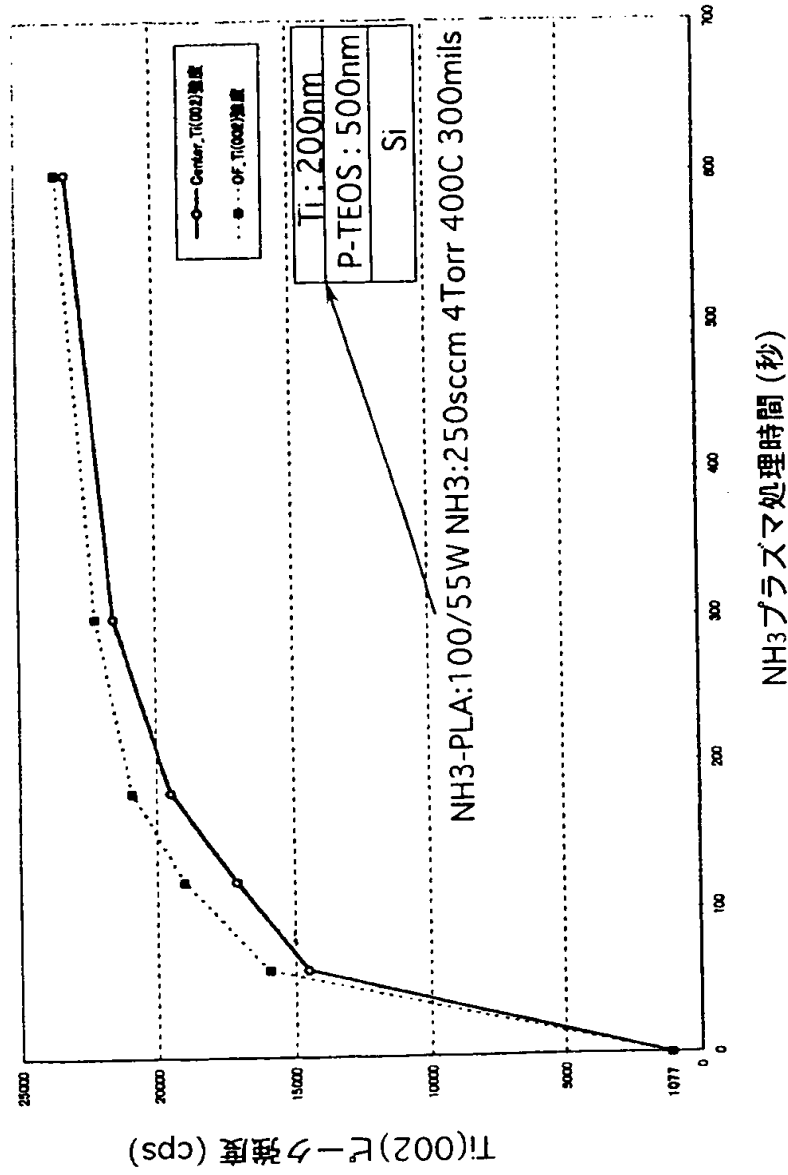
絶縁膜のNH<sub>3</sub>プラズマ処理時の基板パワー強度と  
その絶縁膜上のTi膜の(002)配向強度との関係





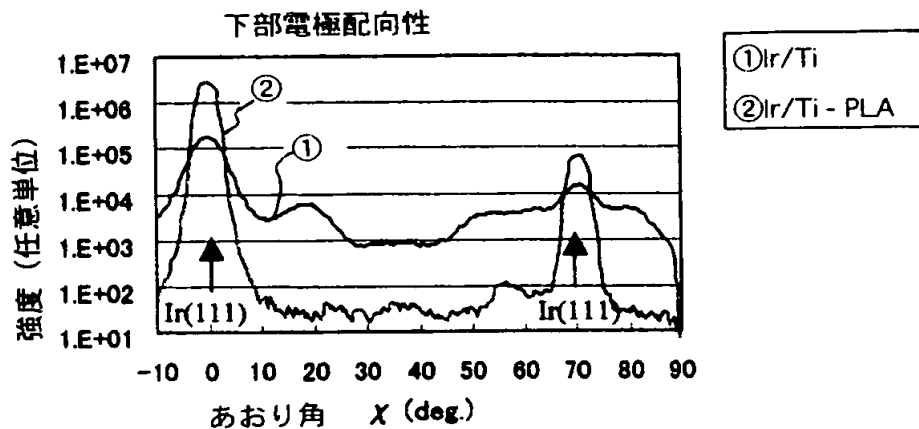
【図 25】

絶縁膜のNH<sub>3</sub>プラズマ処理時間とNH<sub>3</sub>プラズマ処理された  
絶縁膜上のTi膜の(002)配向強度との関係



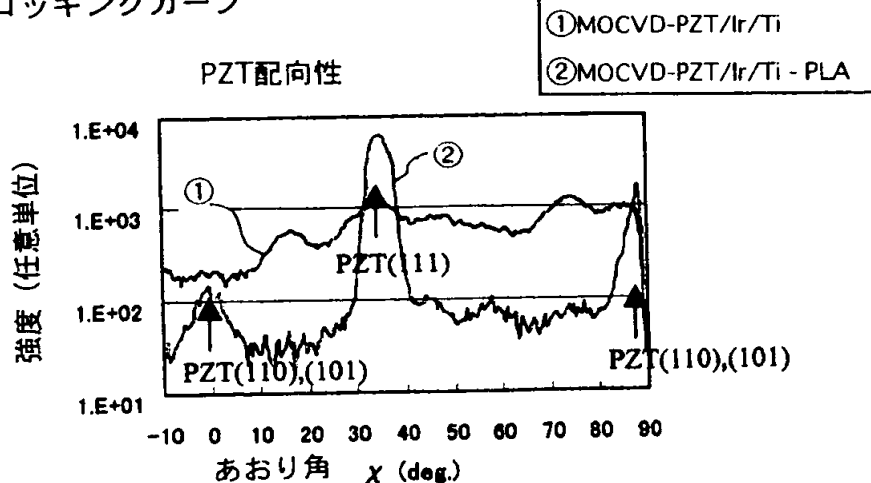
【図 2 6】

NH<sub>3</sub>プラズマ処理された絶縁膜上とされない絶縁膜上の  
それぞれのTi膜の配向特性のロックンクカーブ



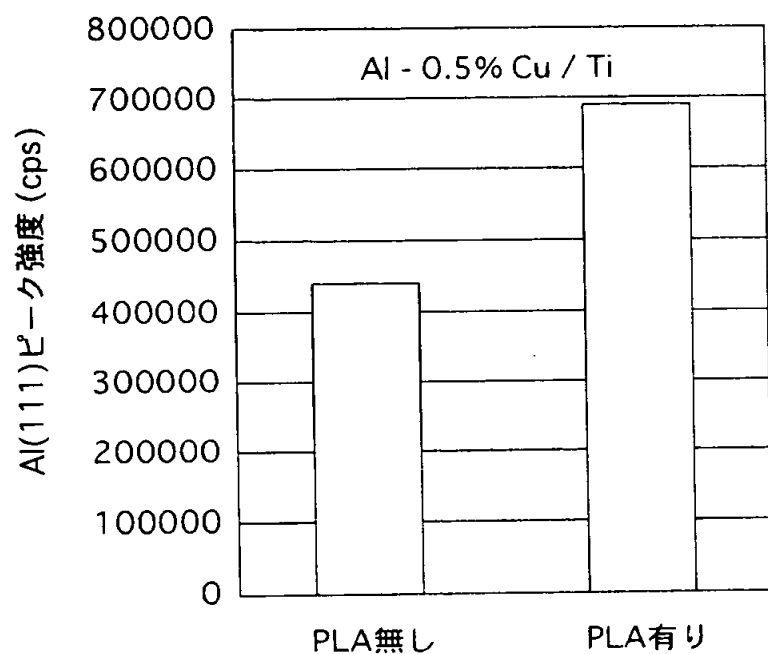
【図 2 7】

NH<sub>3</sub>プラズマ処理された絶縁膜上とされない絶縁膜上に  
それぞれTi膜を介して形成されたPZT膜の配向性特性の  
ロックンクカーブ



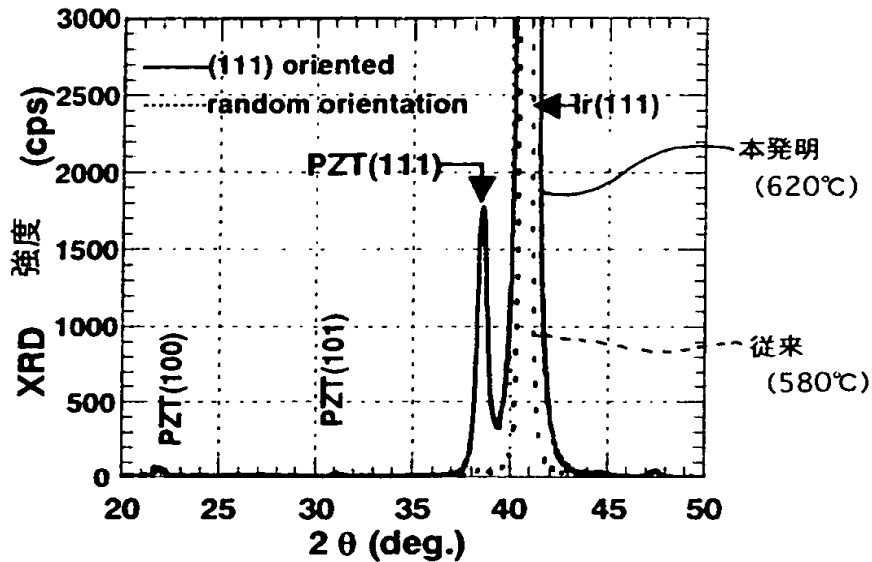
【図 2 8】

NH<sub>3</sub>プラズマ処理された絶縁膜とされない  
絶縁膜上のAl-Cu膜SiO<sub>2</sub>膜の(111)配向強度



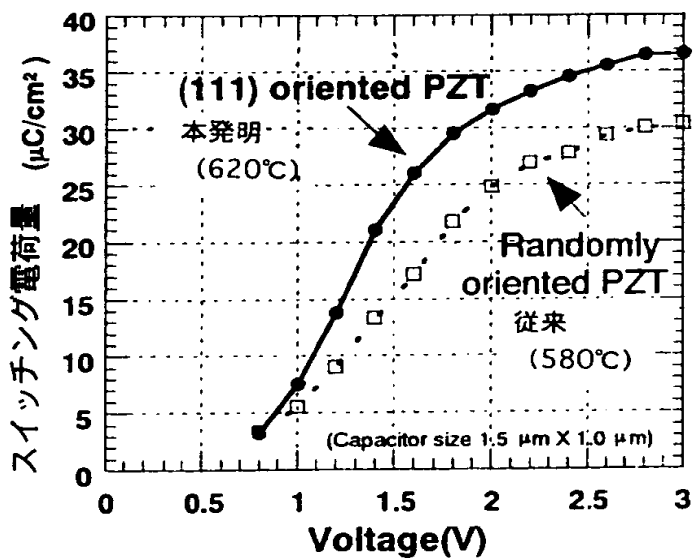
【図 29】

従来方法で成膜したIr膜上のPZT膜と本発明により成膜したIr/Ti膜上のPZT膜のそれぞれのXRDプロファイル



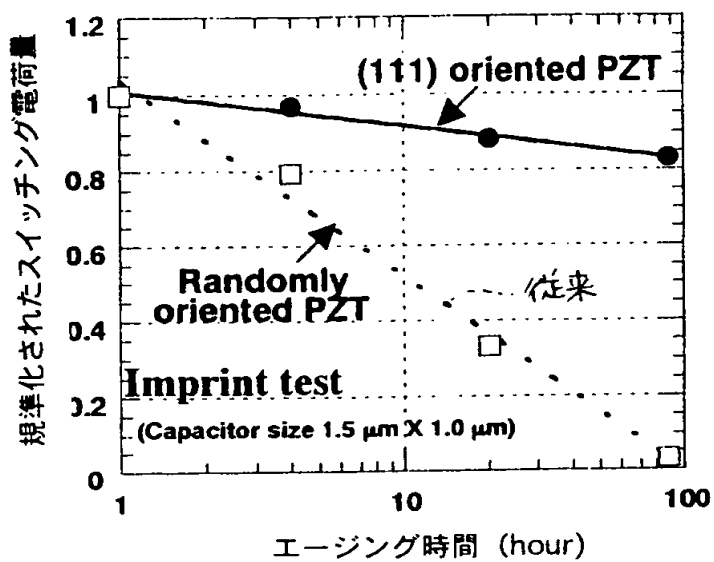
【図 30】

従来方法で成膜したPZTを用いた強誘電体キャパシタと本発明により成膜したPZTを用いた強誘電体キャパシタのそれぞれの電気特性



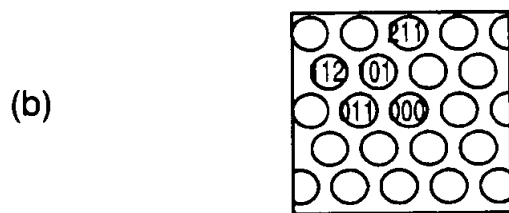
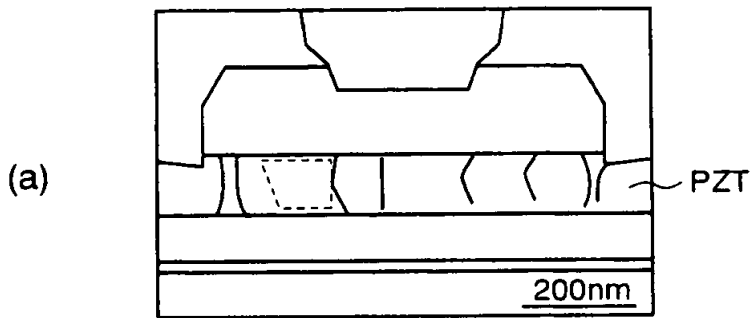
【図 3 1】

従来方法で成膜したPZTを用いた強誘電体キャパシタ  
と本発明で成膜したPZTを用いた強誘電体キャパシタ  
のそれぞれのインプリント特性



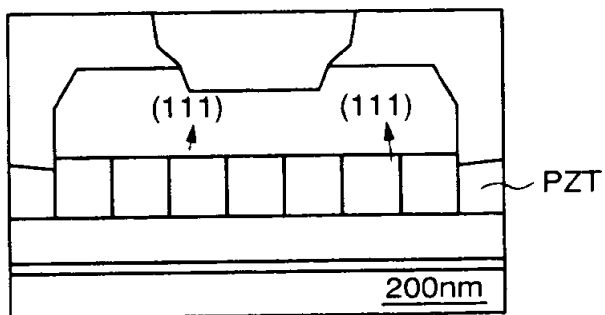
【図 3 2】

不良ビットが発生するキャパシタの断面図と  
PZT結晶の電子回折像



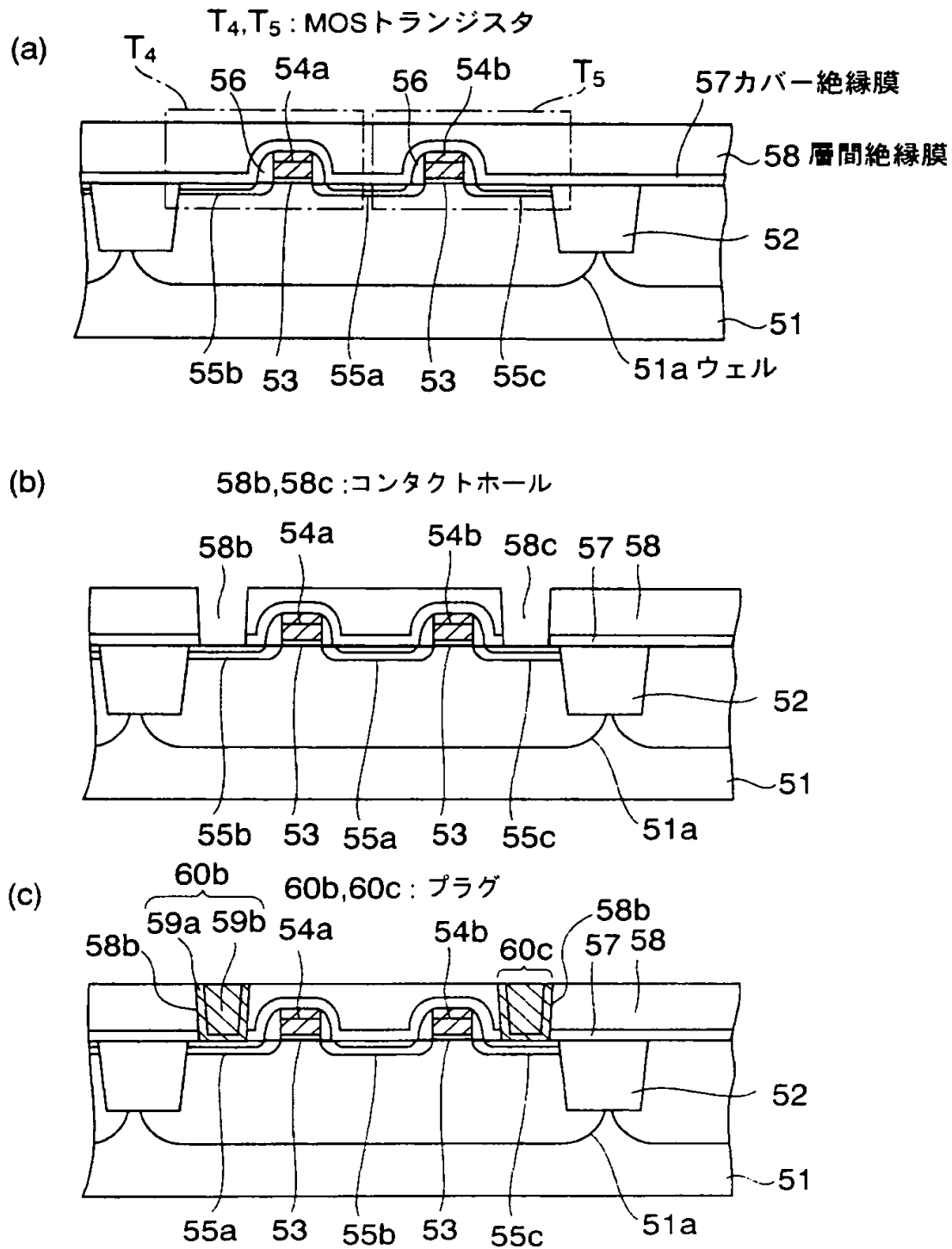
【図 3 3】

不良ビットが発生しないキャパシタの断面図



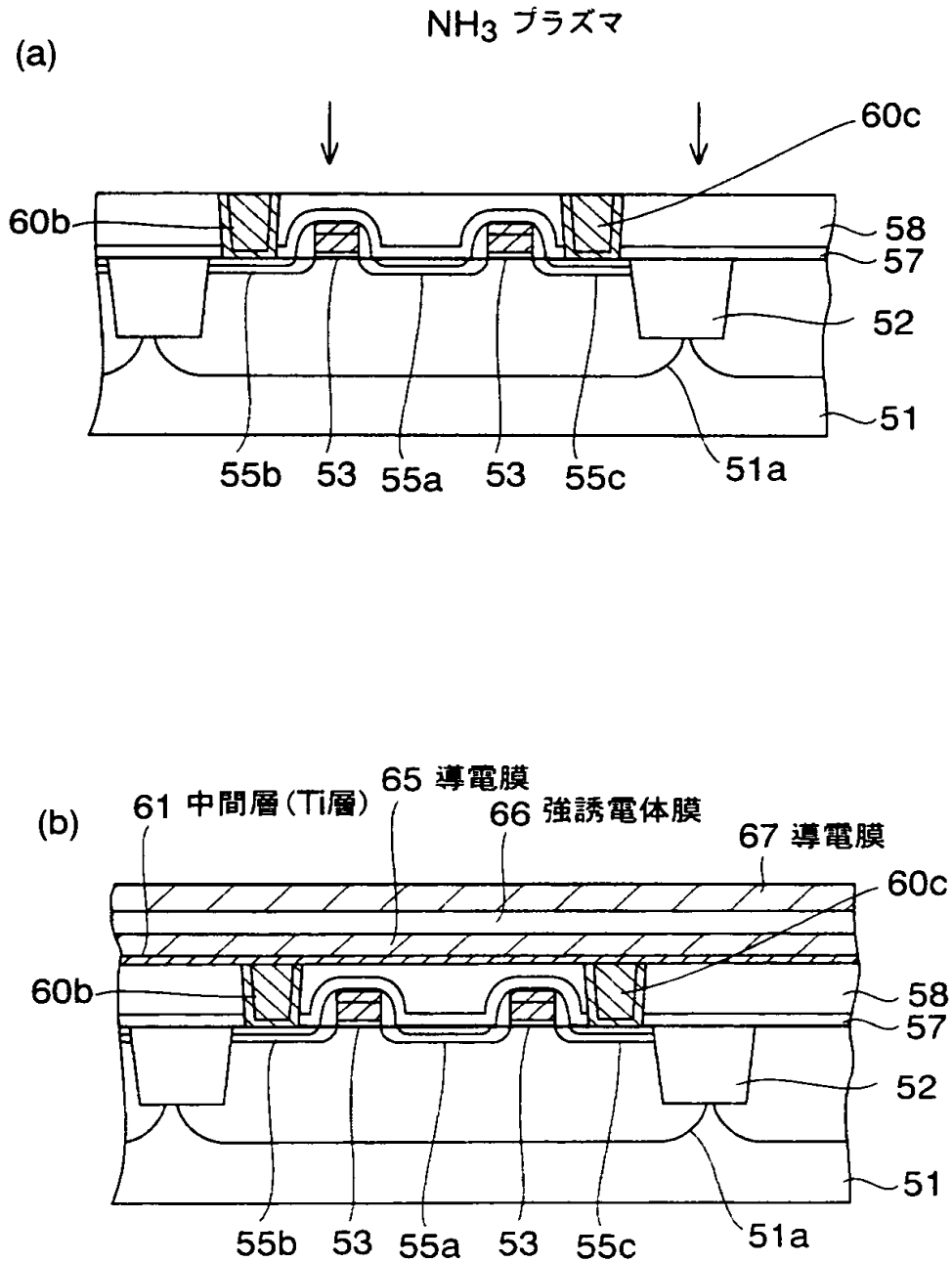
【図 3 4】

本発明の第3実施形態に係る半導体装置の形成工程断面図（その1）



【図 3 5】

本発明の第3実施形態に係る半導体装置の形成工程断面図（その2）

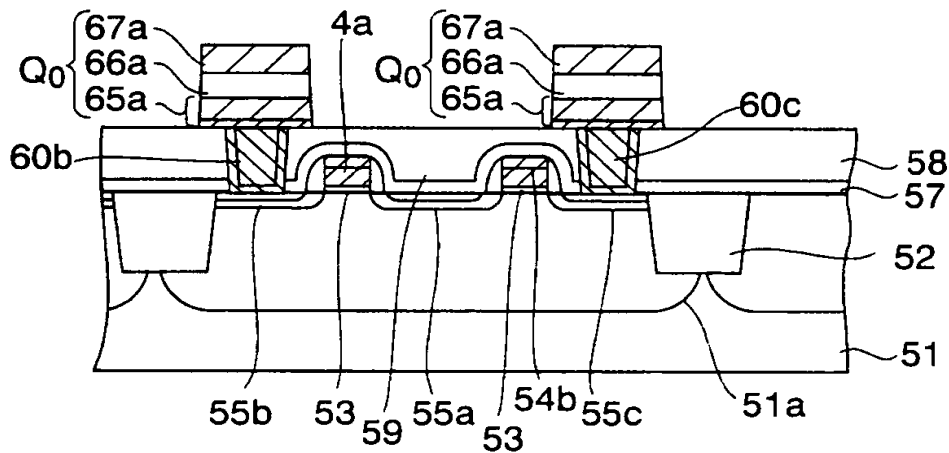




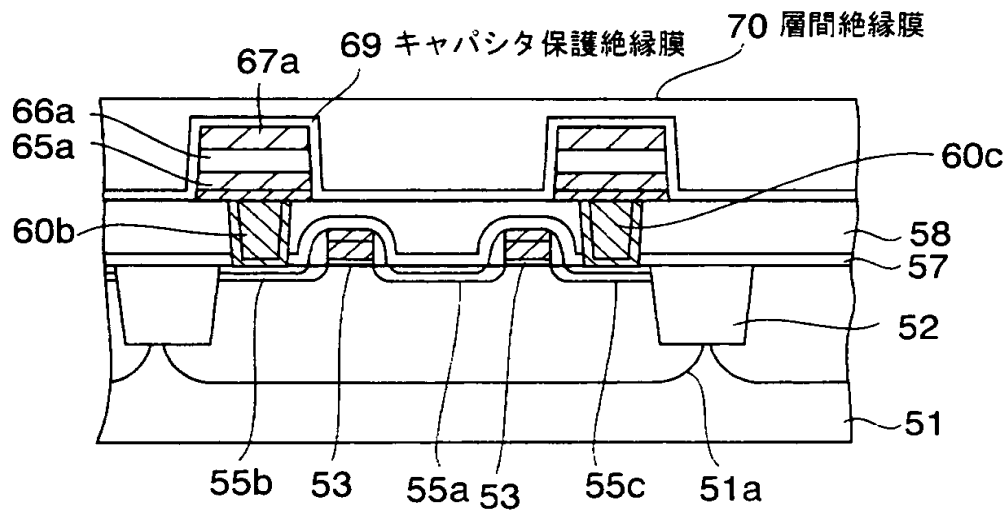
【図 3 6】

本発明の第3実施形態に係る半導体装置の形成工程断面図（その3）

(a)

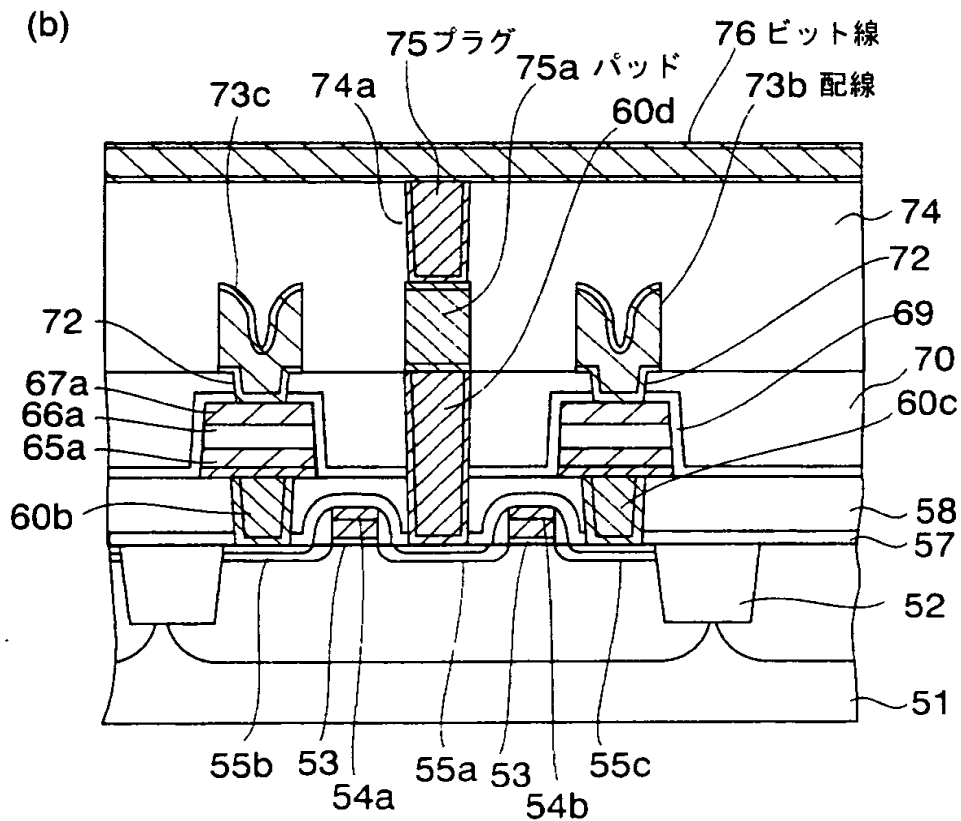
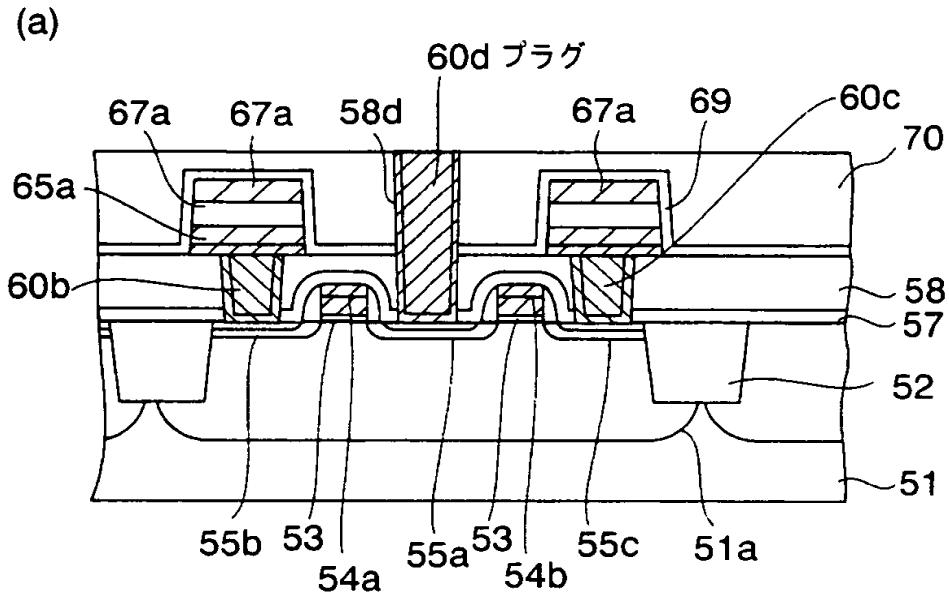


(b)



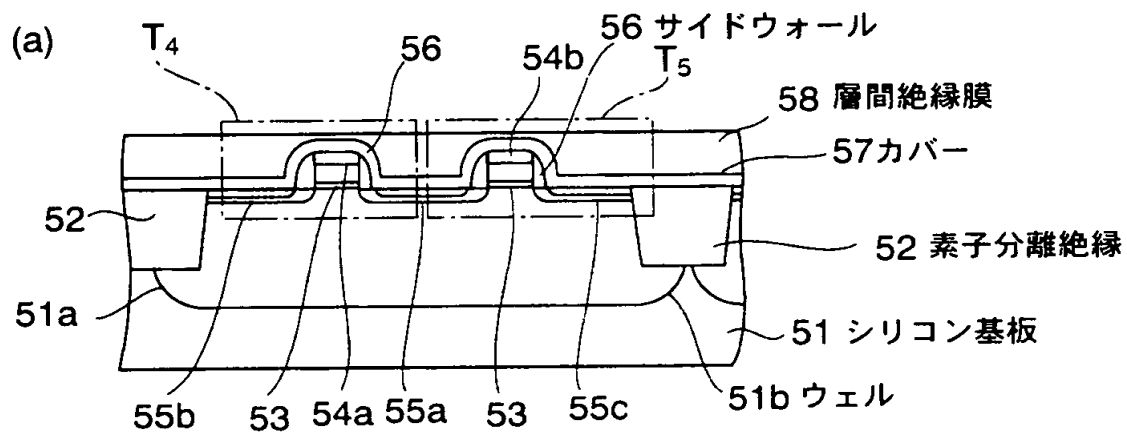
【図 3 7】

本発明の第3実施形態に係る半導体装置の形成工程断面図（その4）

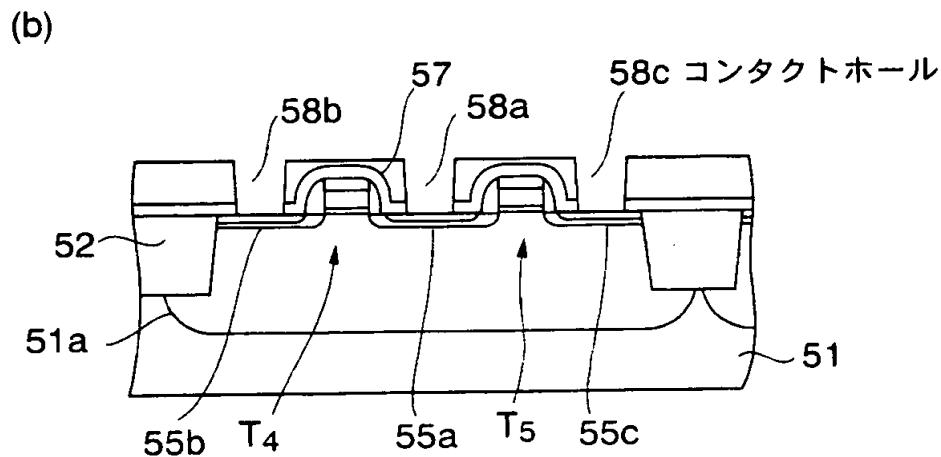


【図 3 8】

本発明の第 4 実施形態に係る半導体装置の  
製造工程を示す断面図（その 1）

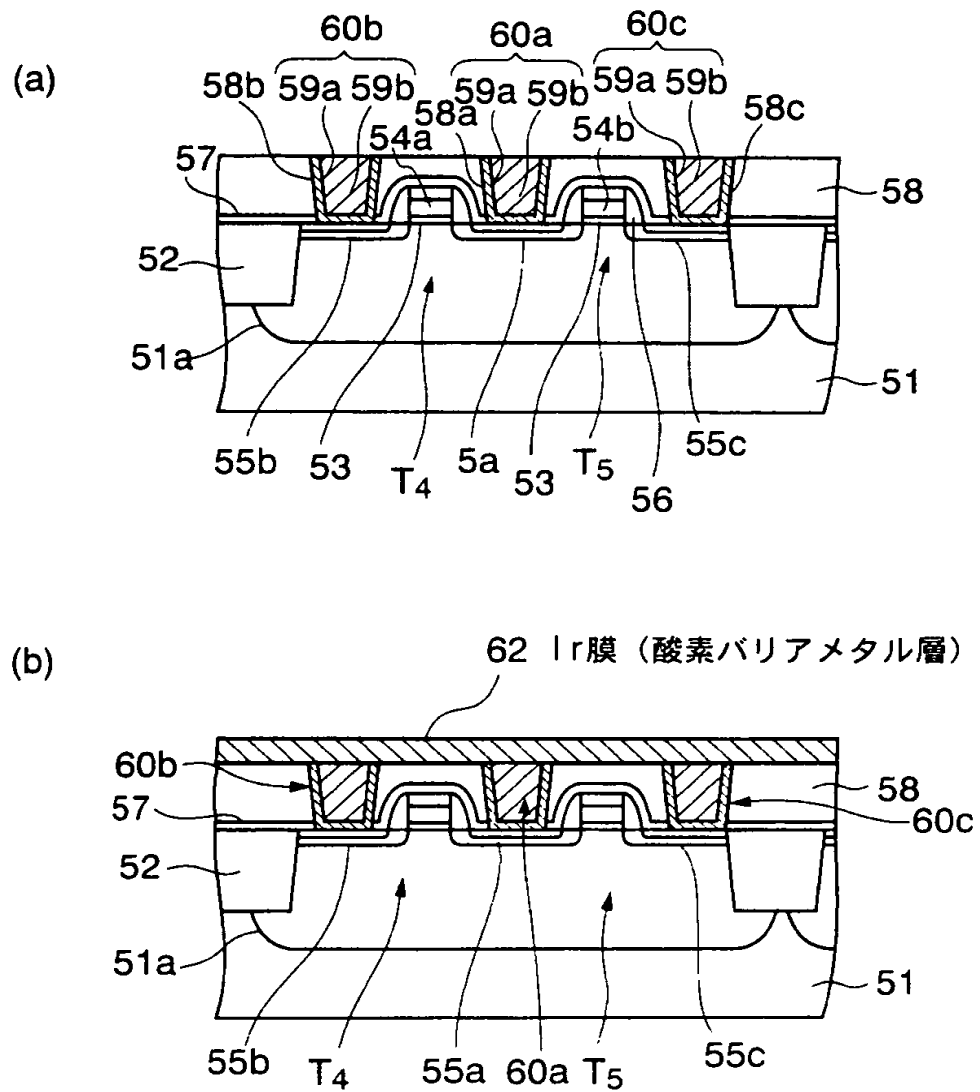


T<sub>4</sub>, T<sub>5</sub>: MOSトランジスタ  
53: ゲート絶縁膜  
54a, 54b: ゲート電極  
55a~55c: 不純物拡散領域



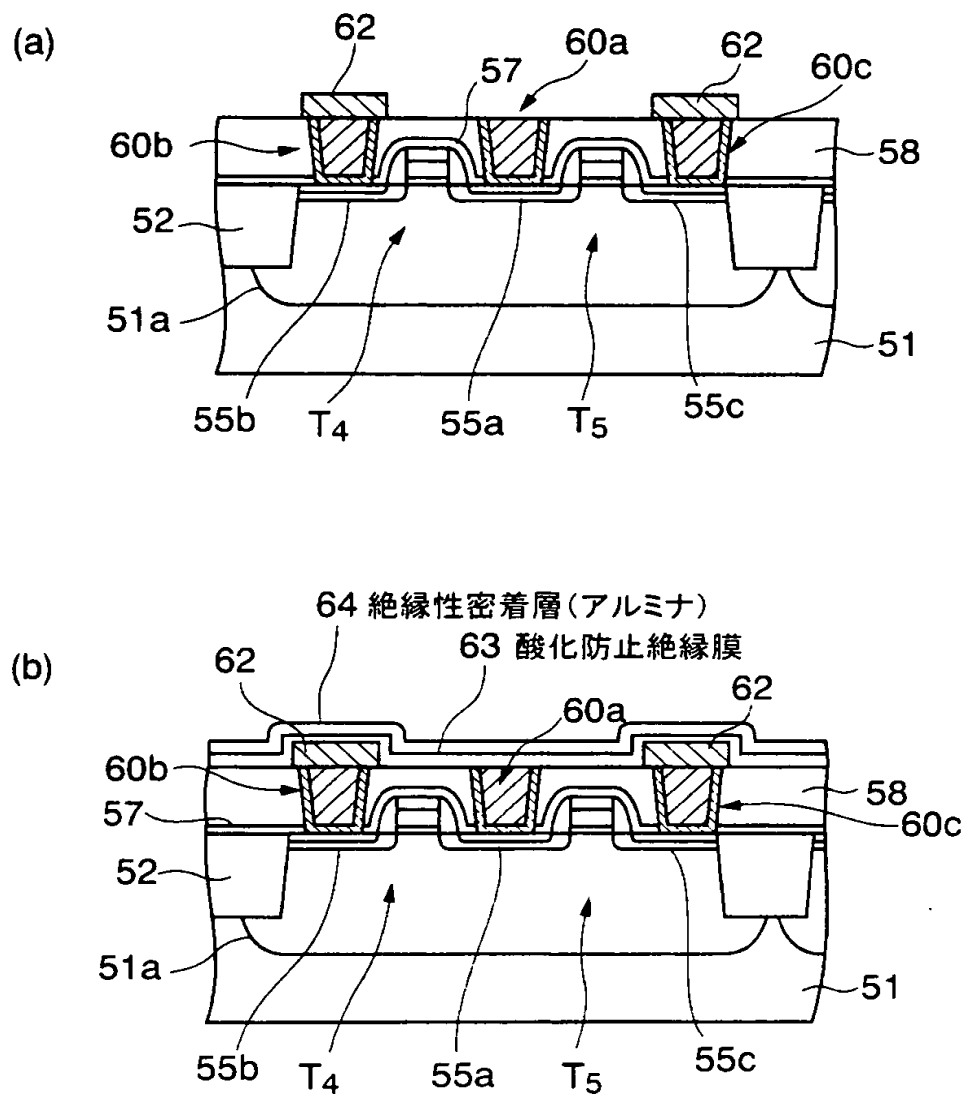
【図 3 9】

本発明の第 4 実施形態に係る半導体装置の  
製造工程を示す断面図（その 2）



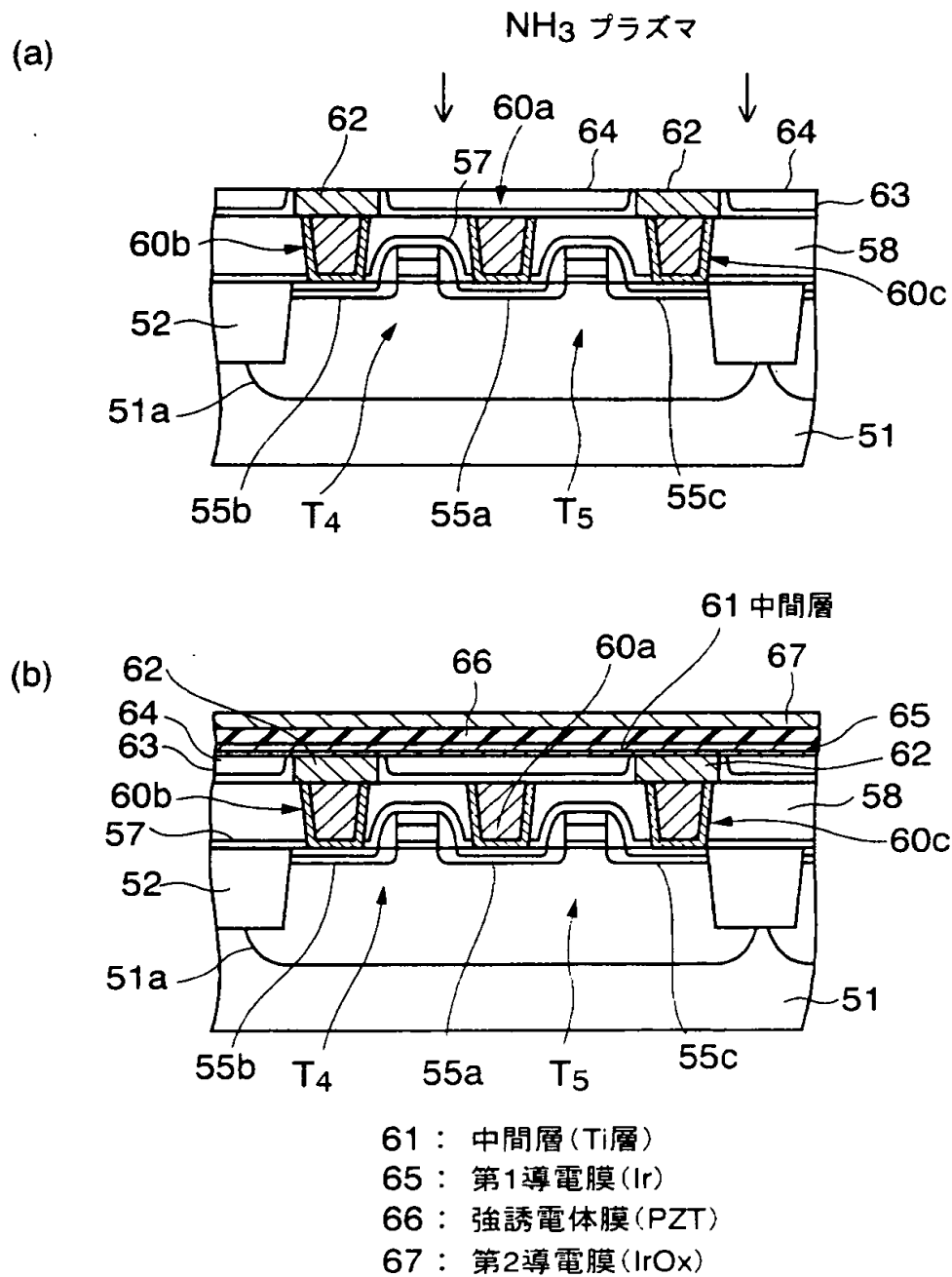
【図 40】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その3）



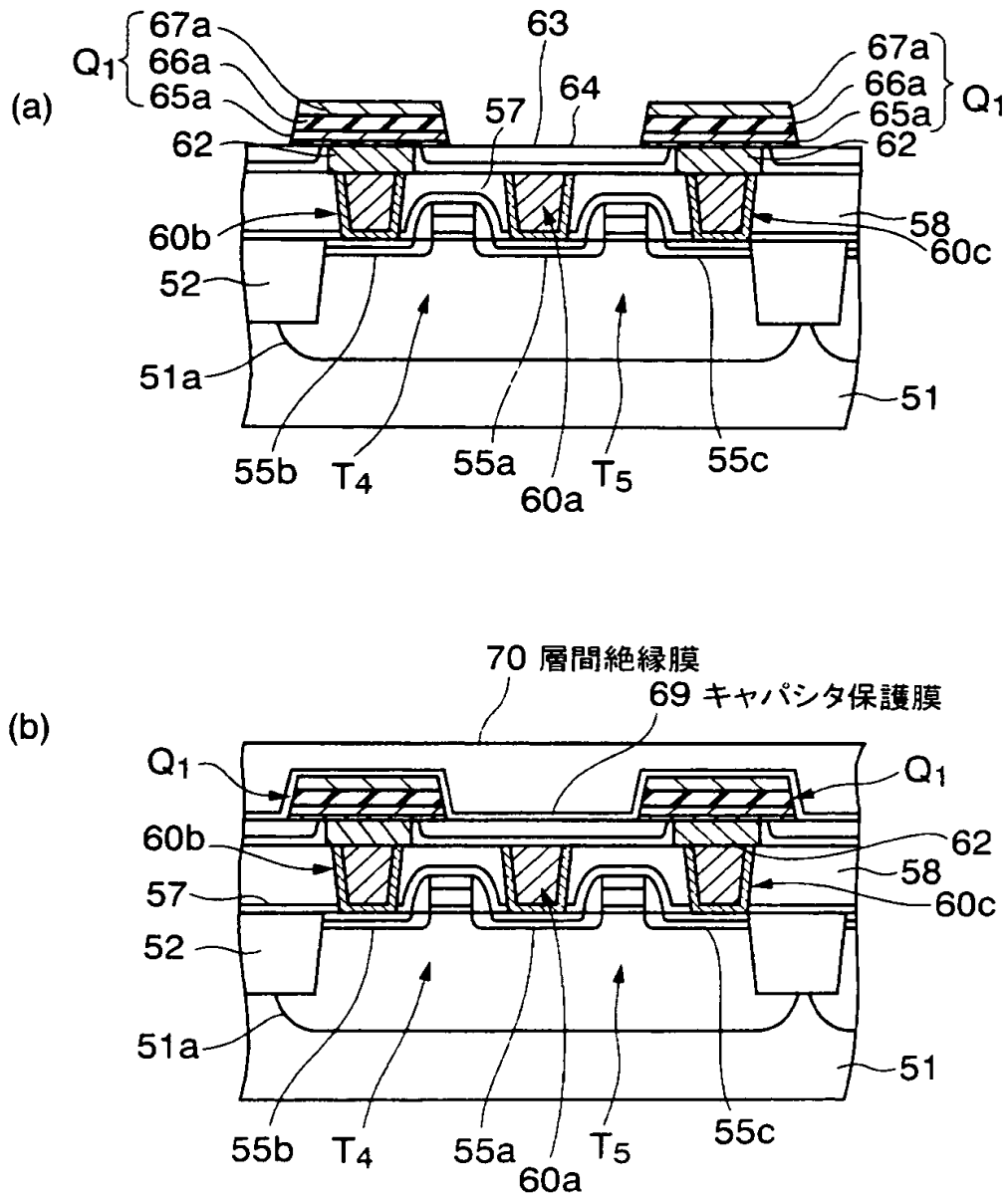
【図 4 1】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その4）



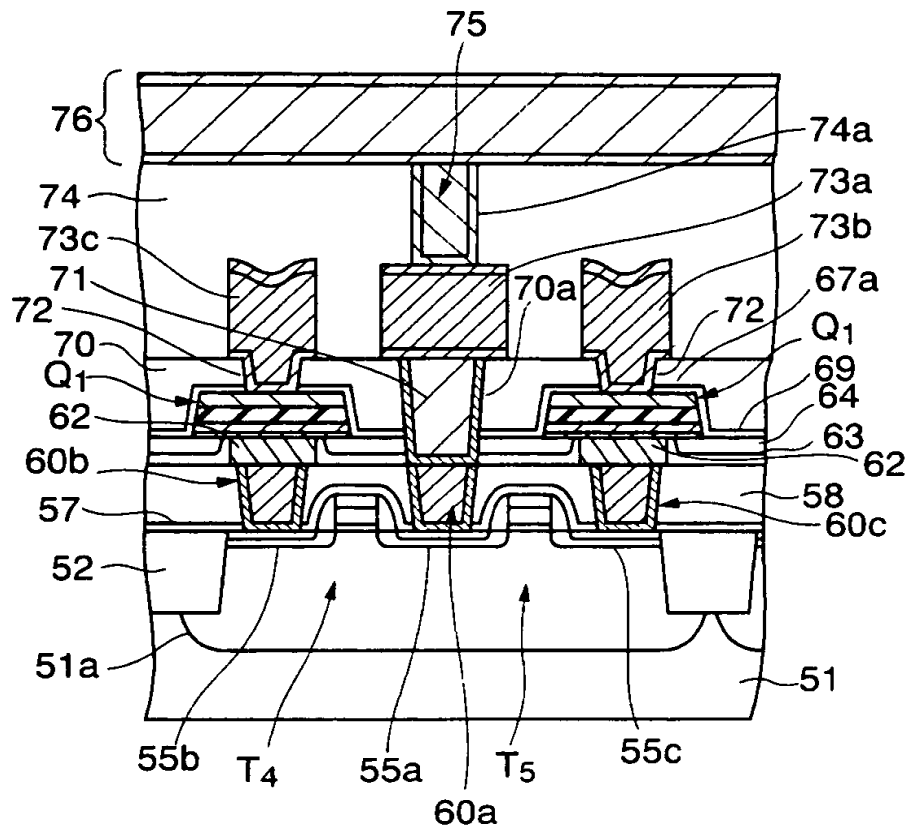
【図 4 2】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その5）



【図 4 3】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その6）

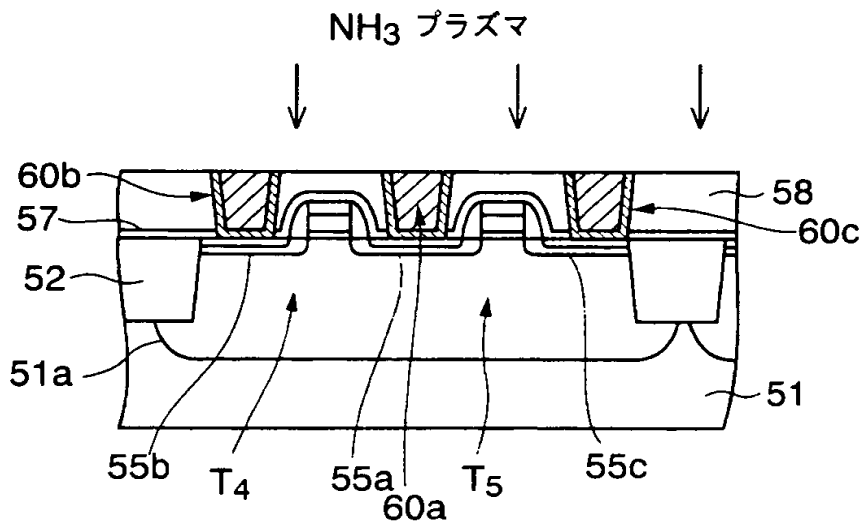




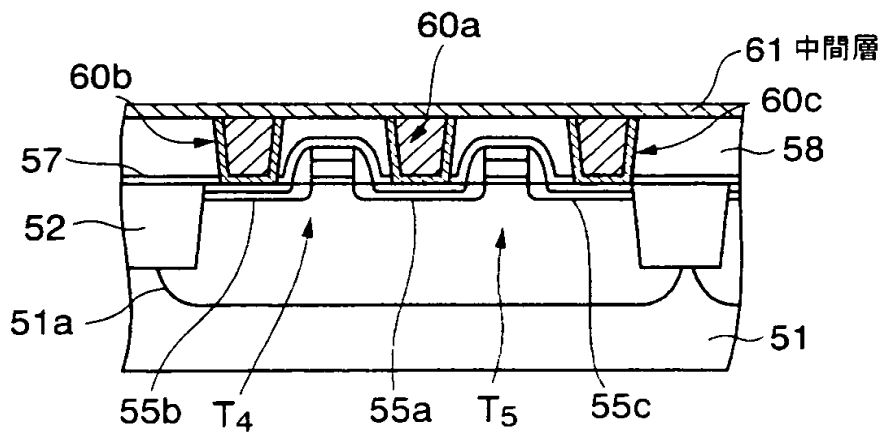
【図 4 4】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図（その1）

(a)

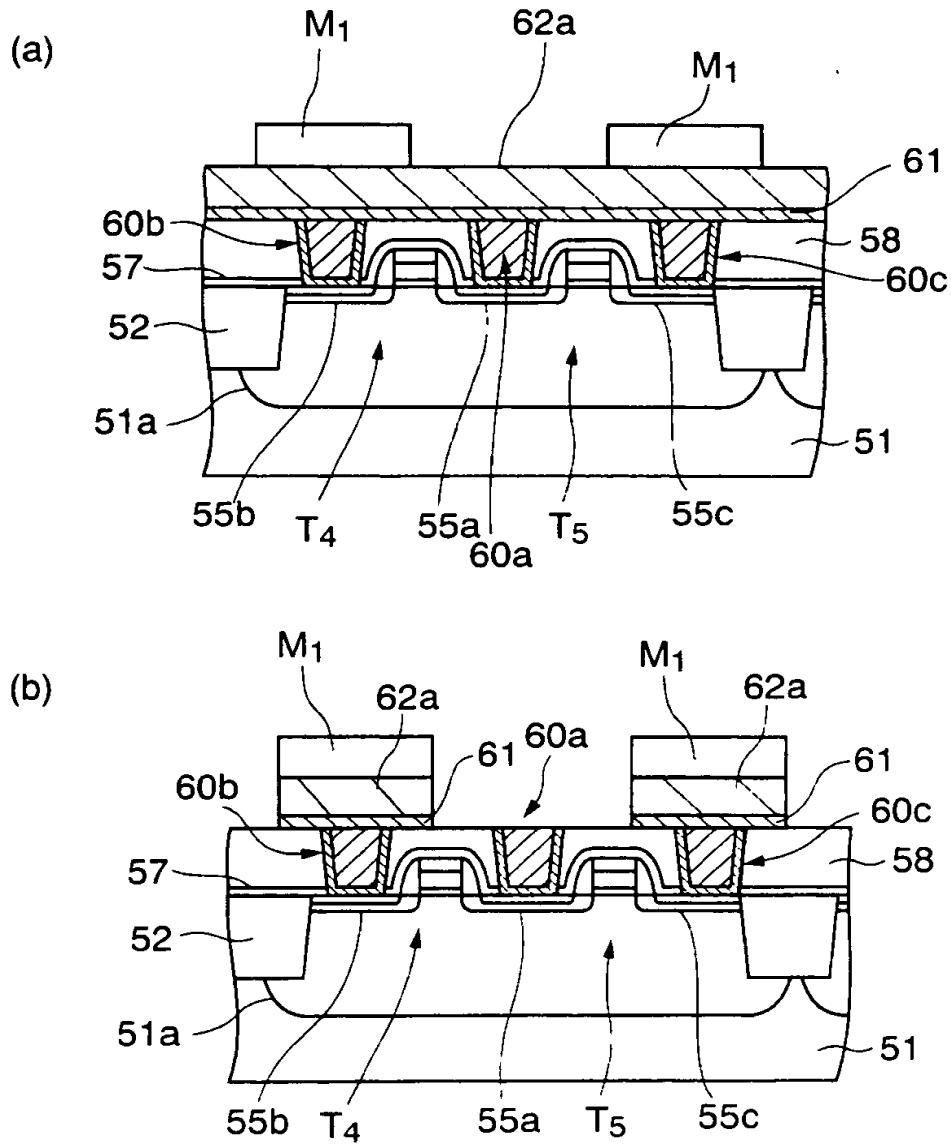


(b)



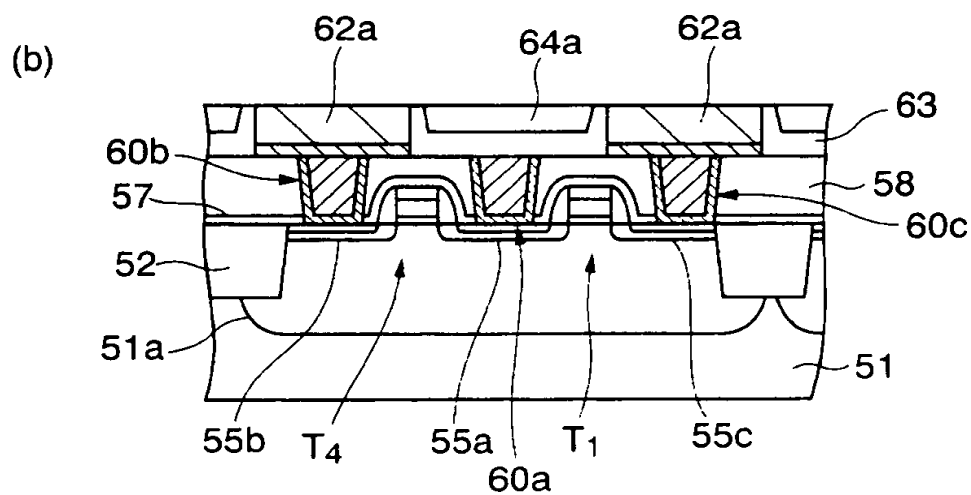
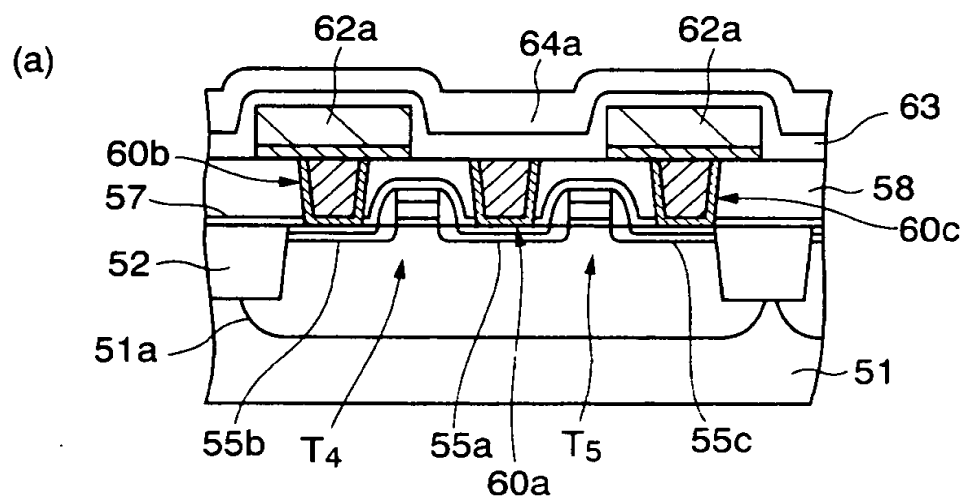
【図 4 5】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図（その2）



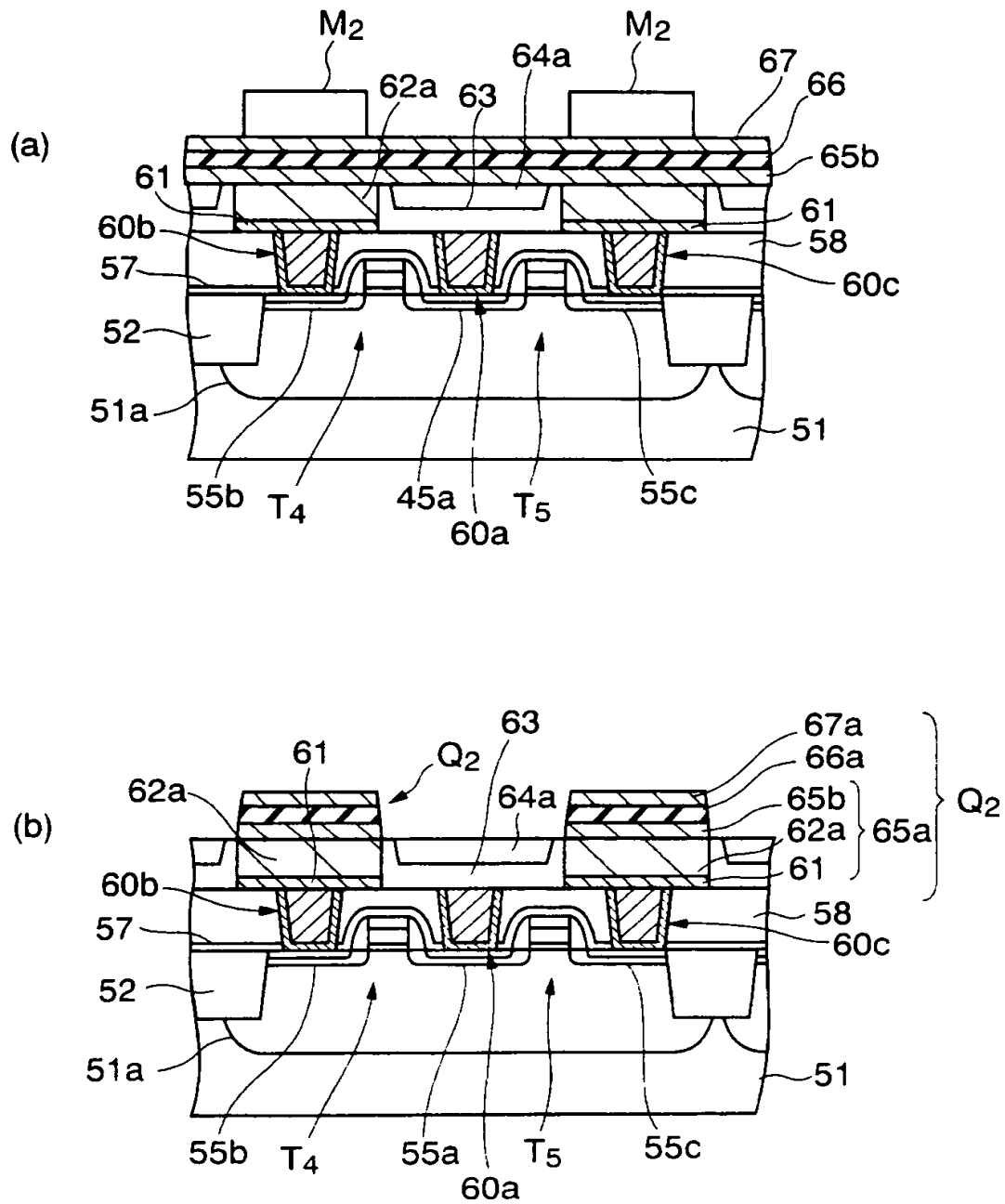
【図 4 6】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図（その3）



【図 4 7】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図（その4）



【書類名】 要約書

【要約】

【課題】 キャパシタを有する半導体装置の製造方法に関し、キャパシタ下部電極を構成する導電膜の膜質を改善して、キャパシタ下部電極の上に形成される誘電体膜の特性を良好にすること。

【解決手段】 半導体基板 1 の上方に絶縁膜 1 0 を形成する工程と、水素と窒素が結合した分子構造を有するガスのプラズマを励起して絶縁膜 1 0 に照射する工程と、絶縁膜 1 0 の上に自己配向性を有する物質からなる自己配向層 1 1 を形成する工程と、自己配向層 1 1 の上に自己配向性を有する導電物質からなる第 1 の導電膜 1 2 を形成する工程とを含む。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社



Creation date: 11-05-2003  
Indexing Officer: ACAHSAY - AWETASH CAHSAY  
Team: OIPEBackFileIndexing  
Dossier: 10694748

Legal Date: 10-29-2003

No.	Doccode	Number of pages
1	TRNA	3
2	SPEC	94
3	CLM	8
4	ABST	1
5	DRW	24
6	OATH	2
7	A.PE	1
8	SPEC	8
9	REM	1
10	IDS	4
11	FRPR	99
12	WFEE	1
13	WFEE	1

Total number of pages: 247

Remarks:

Order of re-scan issued on .....